

ムーアの法則は続く

2020年5月
厚木エレクトロニクス
加藤俊夫

ゴードン・ムーア氏は、「半導体の集積度は年々増加する」と言う
予言を50年以上も前に行いました。業界はまさにその通り進歩
し、「予言」がいつの間にか「法則」と呼ばれるようになりました。
本レポートでは、如何にして法則が守られてきたのか、数多くの
涙ぐましいまでの格闘の後を振り返り、今後も引き続き集積度の
向上が有り得るのか検討します。

ムーアの法則を成立させるためには、MOSLSI のパターン寸法
が、50年間で1000分の1以下に縮小する必要がありました。そ
の間、数多くの技術革新がありました。LSI の設計やプロセスに
どのような革新があったのかを、できるだけ詳しく記述しまし
たが、全てが正しい内容であるか、薄学の筆者には自信があり
ません。お気づきの点があればご指摘下さい。

それでは、ムーアの法則をお楽しみ下さい。

目次

1. ムーアの法則とは何か	3
1-1. ムーア氏の経歴と予言	
1-2. ムーアの法則は続いている	
1-3. フォン・ノイマン・アーキテクチャーを支える	
2. ムーアの法則を実現した微細化の進展	6
2-1. LSI微細化競争の指導原理	
2-2. CMOSLSIは微細化により進展	
2-3. 微細化による問題点の解決	
2-3-1. ショートチャンネル効果	
2-3-2. 配線はアルミから銅へ	
2-3-3. 配線の絶縁層は低誘電率膜へ	
2-3-4. 歪シリコンでキャリア移動度を向上	
2-3-5. ゲート酸化膜をトンネル電流が	
2-3-6. ゲート電極をポリシリコンから金属へ変更	
3. 素子構造の立体化で、更にムーアの法則が進展	20
3-1. FinFETの採用	
3-2. ナノワイア(GAA)へ移行か？	
3-3. 更にナノシートで電流アップ	
3-4. 縦型ナノワイアへ移行するのか？	
3-5. 移動度の高い異種材料でチャンネル形成	
3-6. 遂に出ました1Terabit(1兆ビット)メモリー	
3-7. メモリー作用のある異種材料	
4. チップアッセンブリーの工夫で集積度が向上	31
4-1. 貫通電極でチップの積層化	
4-2. 注目されるFO-WLP(Fan out Wafer Level Package)	
5. ムーアの法則の将来	34
5-1. パターン微細化の限界	
5-2. 対策はあるか、ダークシリコン	
5-3. どんなデバイスが有望か？	
5-4. リソグラフィに頼らず集積度を上げる	
Appendix; “More than Moore”	38

1. ムーアの法則とは何か。

1-1. ムーア氏の経歴と予言

エレクトロニクス雑誌「Electronics」に、Gordon Moore(ゴードン・ムーア)氏が「**半導体の集積密度は、1年で2倍になる**」というこの予測、いわゆる「ムーアの法則」が掲載されたのは、1965年4月19日で、今から50年以上も前のことでした。

ムーア氏は、1929年サンフランシスコ南部の小さな田舎町で生まれました。カリフォルニア大学バークレー校を1950年に卒業。1956年、ショックレー半導体研究所に入社。ここで盟友ロバート・ノイスに出会い、翌年フェアチャイルドセミコンダクターを設立しました。1961年にはICを初めて商品化。経営の意見対立から、ノイスと共に会社を去り、1968年7月18日にインテルを設立しました。1979年にはインテル会長に就任。ノイスは副会長、グローヴは社長という体制で、DRAMの世界最大メーカーとなりましたが、1985年、DRAMビジネスを突如中止し、マイクロプロセサの専門メーカーに変身しその後大発展を遂げたのはご存知の通りです。

ムーアは、1965年には、「**ICの進化により家庭でコンピューターが使われるようになり、自動車は自動制御され、個人がポータブルに通信できるようになる**」と予言しています。将来を見る凄い眼力に驚かされます。1965年にはシリコンチップ1つに60個載っていたトランジスタは、1975年には65000個のトランジスタがチップに載ると仮定すると、1年で2倍の集積度になると予言した訳です。インテルが「4004」CPUを作ったのは1970年のことであり、1965年にはプロセサと言う概念すらなかった時代です。この「1年で2倍」が、ムーアの法則と言われることになりました。その時のチップサイズは2Mil平方、メタル配線は2層、ウエファーは1インチ(25mmΦ)でした。ムーアのこの将来予測は、カリフォルニア工科大学のカーバー・ミードにより「法則」と名づけられ、それ以後、業界の誰もが「法則」(Moore's Law)と言うようになり、またその予言通り集積度が向上し続けて正に「法則」となりました。



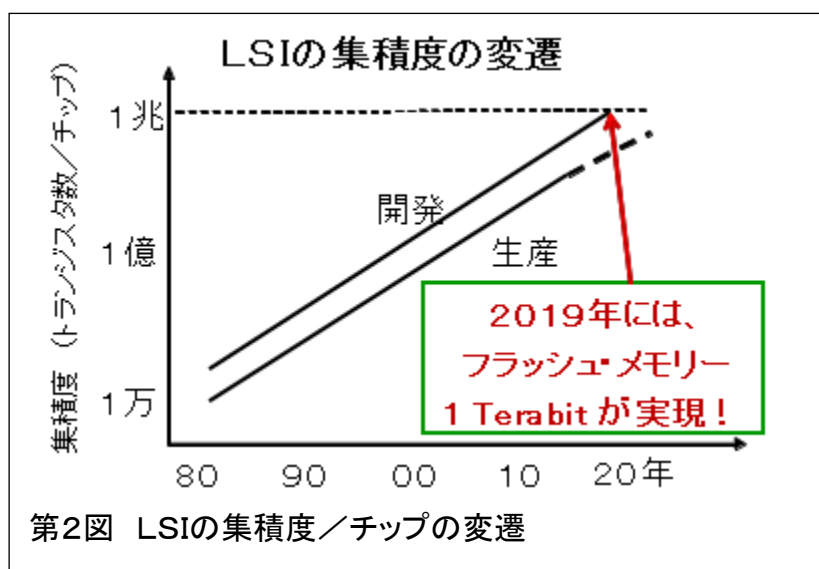
第1図 ゴードン・ムーア氏

1-2. ムーアの法則は続いている

ムーア氏は、当初半導体の集積度は毎年2倍になると述べましたが、1975年に、「2年ごとに2倍になる」と変更されました。その後1980年代にはDRAMが集積度向上の主役となり、1MbitのDRAMは、次の3年後に4Mbit、6年後に16Mbit、9年後に64Mbitと言った調子で、3年で4倍のペースで進展しました。このように倍率の値は少々異なっても、ムーア氏が予言した集積度が年々向上するという思想は現在も依然として続いています。

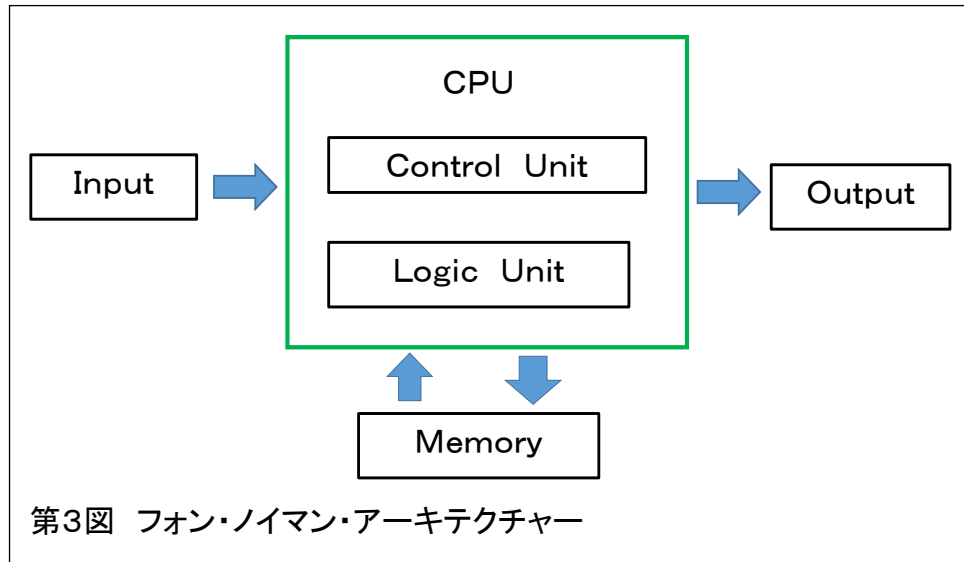
最近の10数年間のパターン微細化は、90nm→65nm→45nm→32nm→22nm→14nm→10nmと言う調子で進行しています（各社によって少々異なる場合があります）。このパターン微細化によって、LSIの集積度がどんどん向上してきました。微細化だけでなく、縦方向に3次元的に積むデバイスも現れて、集積度の向上は加速されていますが、後程詳しく述べます。

トランジスタの寸法が縮小されれば、同じ面積のチップに埋め込まれるトランジスタの数が増加しますから、微細化により集積度向上が続きました。1世代は、70%の微細化が一般的に行われています。寸法が70%縮小されると、 $0.7 \times 0.7 = 0.5$ ですから面積は約50%縮小されて、1枚のチップに2倍のトランジスタを詰め込むことができます。第2図は、DRAMやフラッシュメモリの集積度の変遷を表したグラフです。実に、縦軸は4桁単位で表すほどの急激な進歩です。こんな桁違いに上昇するような産業は他にありません。（HDDは、LSIに対抗するように向上していますが）。1個1個のトランジスタが微細化されて集積度が上がるからで、このカーブはまだ続くと予想されています。2019年に、NANDフラッシュメモリーで1チップ上に1Terabit（ 10^{12} bit、1兆ビット）が実現しました。



1-3. フォン・ノイマン・アーキテクチャーを支える

CMOSLSI技術の進歩は、我々の日常生活上や産業界に、エレクトロニクス製品に想像を絶する進化をもたらしました。特にコンピューターでは、フォン・ノイマン・アーキテクチャー (Von Neumann Architecture) をサポートしてきました。20世紀中ごろの超大型コンピューターの性能よりも、現在のPCやスマートフォンの方がはるかに高機能であると言われていますが、これはムーアの法則に従って、CPUやメモリーが進歩したためであることは明らかです。

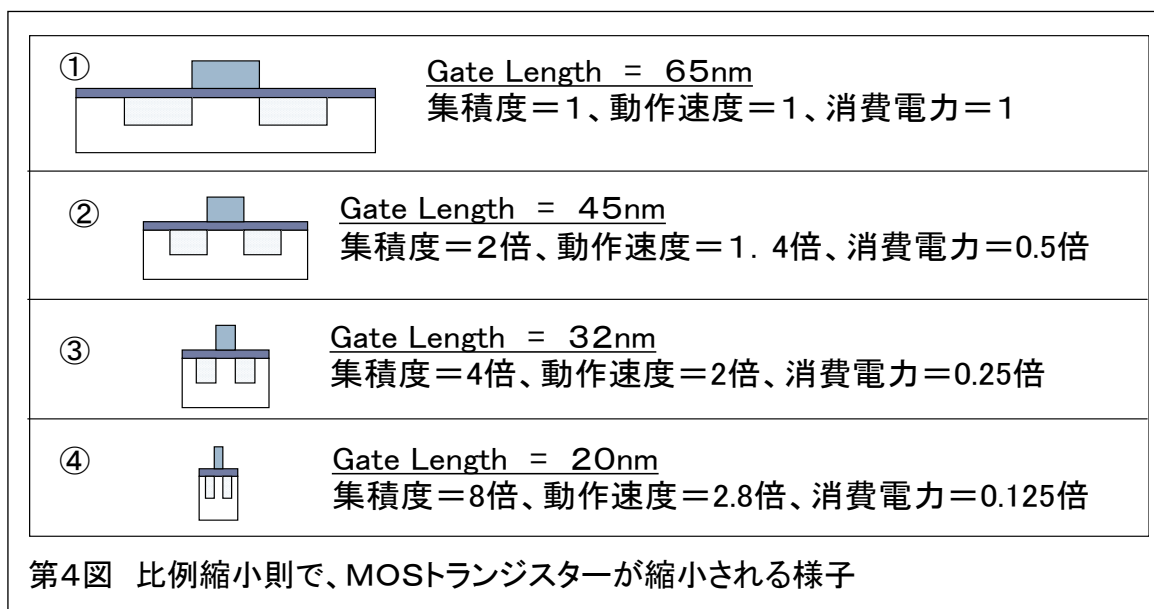


2. ムーアの法則を実現した微細化の進展

2-1. LSI 微細化競争の指導原理

IBMのデナード(Robert H. Dennard)は、1974年にMOSTランジスターの比例縮小則(Scaling Rule)を発表し、微細化により性能が上がり集積度が増すことを示しました。この比例縮小則が指導原理となって、微細化競争が50年近く続いています。

デナードは論文の中で、「トランジスターサイズが縮小するにつれて、1ノード当たりの電力密度は1世代ごとに、集積回路全体の消費電力量を大幅に増加させることなく向上していく(第4図を参照)。しかし、この現象は最終的に、2005~2007年に限界に達するだろう」と述べています。一般的なプレーナー型トランジスターのパターン寸法を、1世代ごとに0.7倍に微細化するという、デナードの比例縮小則の実現に執着してきた結果、現在ではリーク電流の増加という難題に直面するようになりましたが、多くの工夫により克服されています。



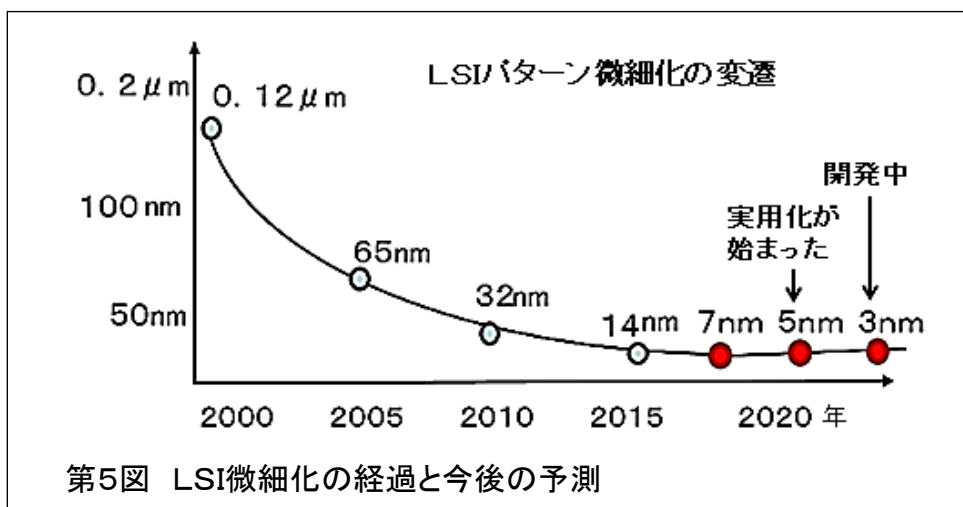
2-2. CMOS LSI は微細化により進化

トランジスターを比例縮小則により微細化すると、LSIの集積度は年々向上し、21世紀になってパターン寸法はナノメーター時代になり、今や5nmのCMOSLSIが生産されています。この様子を第5図に示します。更に3nmや2nmを開発するという声も聞こえてきています。

パターンの微細化には、第6図のレーリーの式が指導原理となります。基本技術は、フォトリソグラフィの露光の短波長化です。エキシマレーザーのKrF(クリプトン・フッ素、波長248nm)、ArF(アルゴン・フッ素、波長193nm)が現在使われており、次世代にはX線に近いEUV(Extremely Ultra Violet、波長13.5nm)の開発が行われて、そろそろ生産に使われ出しています(まだスループットが低く、多量生産には少々無

理ですが、少量生産なら使用されています)。第1表は、露光装置の変遷をまとめたものです。露光波長以外にも、微細パターンを得る技術は第6図のレーリーの式に示したように色々あって実用化されています。PSM、OPC、SMO、液浸ステッパ、など色々ありますが、詳細は本論文の主旨から逸れますので省略し、追って別のレポートを発行します。露光装置が今後どのように進展するかが重要ですので、筆者の独断ですが、第7図にグラフ化しておきます。やはり、波長13.5nmのEUVがいつ量産用になるかが、微細化を進める上で最大の問題点であり、これが計画通りに進展すれば、ムーアの法則を進めることになります。更に、EUVのNAの向上、6.5nm波長のEUV、EUVのDouble Patterningなども考えられます。

脱線 筆者がソニーに入社した時(1960年)には、まだフォトレジストが市販されていなくて、金属板に開けたスリットを通してワックスを吹き付けてパターンを形成し、パワートランジスタを製作していました。1961年には、コダックからフォトレジストが輸入されるようになり、半導体業界の進展に大きな寄与を果たしました。



$$\text{解像度} = k1 \cdot \lambda / NA$$

k1はプロセス条件、光学系で決まる定数
λは露光光の波長
NAはレンズの開口数

k1ファクターの改善; 1)位相シフトマスク 2)OPC(近接効果補正)
3)変形照明、二重露光 4)レジスト

波長λの改善; KrF(248nm)、ArF(193nm)、EUV(13nm)

NAの改善; 液浸ステッパにより、NA=1.4

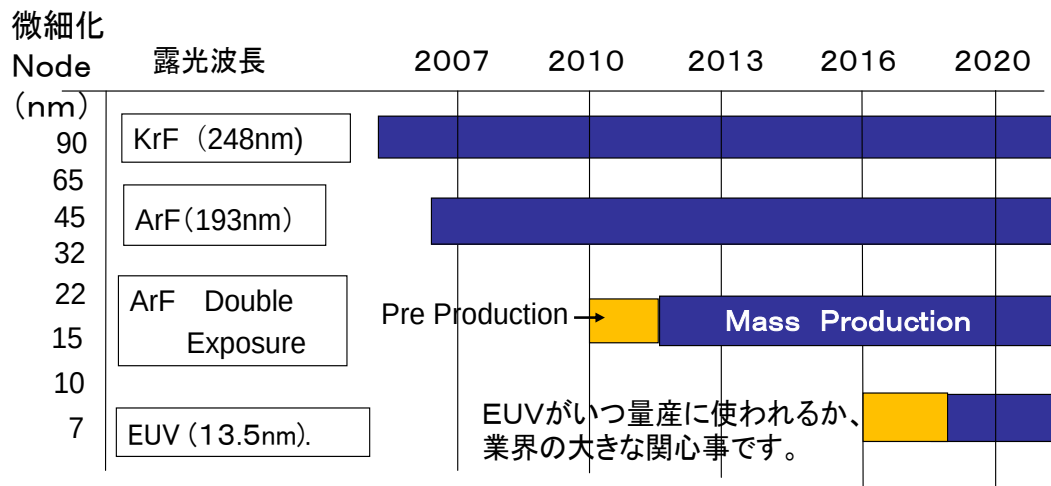
Double Patterningで、更に解像度1/2、更に**Triple Patterning**も

第6図 解像度のレーリーの式と、微細化の対策。

装置名	市販開始年	解像度	
コンタクト	1962年	7 μ m	現在は、ディスクリートやMEMSに使われている
プロキシミティ	1972年	3 μ m	
電子ビーム	1976年	0. 5 μ m	
X線	1978年	0. 3 μ m	普及せず
g線ステッパ	1978年	1. 25 μ m	パワートランジスタやMEMSに使われている
i線ステッパ	1985年	0. 8 μ m	
KrFエキシマ	1986年	0. 45 μ m	現在のLSI用の主要な露光機として活躍中。
ArFエキシマ	1996年	0. 15 μ m	
ArFr液浸	2005年	0. 04 μ m	

電子ビームは、絞れば更に微細化が可能。

第1表 露光装置の変遷



第7図 露光波長の変遷と予測(先々は、EUVのDouble Exposureもある)

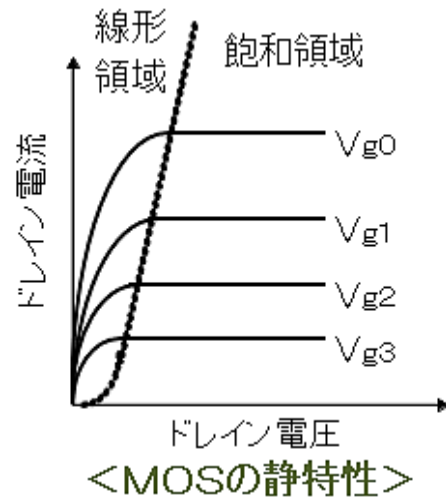
2-3. 微細化に伴う問題点の解決

MOSTランジスタの寸法を微細化することにより、デナードの縮小則に従って性能が良くなり、集積度も向上してムーアの法則を実現してきましたが、微細になると駆動電流(I_{DSAT})を大きくすることが難しくなってきました。駆動電流は、次の囲み記事で表され、これを大きくするには、チャンネル幅(W)を大きく、実効的移動度(μ_{eff})を大きく、酸化膜容量(C_{ox})を大きく、ゲート電圧(V_g)を大きく、チャンネル長(L)を小さくすれば良いことが式から読み取れますが、このため、涙ぐましい努力が行われています。

MOSの飽和電流は次式で表されます。

$$I_{Dsat} = \frac{mW}{L} \mu_{eff} C_{ox} (V_g - V_{th})^2$$

I_{Dsat} ; ドレイン飽和電流 m ; 定数
 W ; チャンネル幅 L ; チャンネル長
 μ_{eff} ; 実効的移動度 C_{ox} ; 酸化膜容量
 V_g ; ゲート電圧 V_{th} ; 閾値電圧



順調に微細化が進んでいたCMOSLSIも、2000年ごろの100nm付近を境にして、単にパターンを微細化するだけでは性能の向上が図れなくなり、多くの弊害があらわれるようになりました。代表的な問題点と対策は次の通りで、第8図に概略を図示しました。

①チャンネル長が短縮されたため、**ショートチャンネル効果**が顕著となり、これを避けるため、ソースとドレインに張り出し部分(エクステンション; Extention)を設けることになりました。

②配線の抵抗と容量の積(CR定数)が大きくなり、高い周波数が扱えなくなりました。そこで、抵抗値の高いアルミ配線を、**抵抗値の低い銅**に変更しました。ただし、銅配線の製作には、アルミのようにプラズマエッチング法が使えないため、ダマシン法と呼ばれるやや厄介な方法の必要がありますが製造技術は確立しています。

③配線の絶縁膜を**低誘電率(Low-kと呼ばれています。kは比誘電率のこと)膜**に変更して誘電率を下げる工夫が行われました。絶縁膜は、SiO₂またはBPSG(Boro-Phospho Silicate Glass)が用いられてきましたが、比誘電率 $K=4$ と高いため、kの低い膜が採用されましたが、できれば真空(空気の比誘電率=1)が望ましく、真空に近い多孔質(Porous)膜が採用されました。

④微細化に伴いキャリア移動度が低下してきましたので、これを向上させるため、**歪みを与える工夫**が行われました。

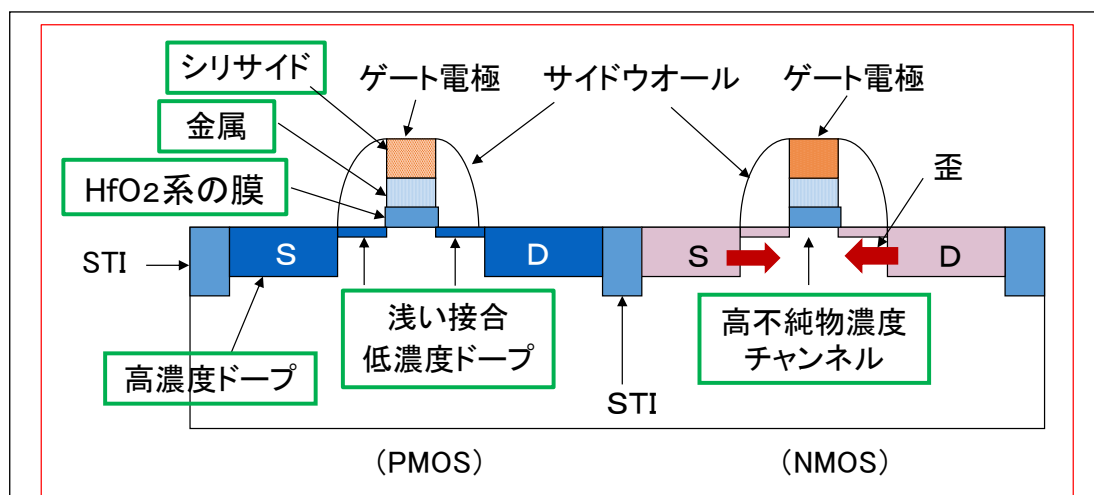
⑤45nmプロセス以降では、デナードの比例縮小則によると**ゲート酸化膜を1nm程度に薄くする必要があります**、**ゲート電極とチャンネル間にトンネル電流が発生して消費電力が非常に大きくなるので、ゲート酸化膜を高誘電率(High-k)で数nmと厚くして、トンネル電流の発生を避ける**必要があります。

⑥ゲート電極は長年ポリシリコンが金属の代わりに用いられてきましたが、ポリシリコンは半導体ですから空乏層が発生し、実効的なゲート絶縁膜が厚くなって望ましくない問題が発生し、**ゲート電極を再び金属**に置き換わりました。⑤と⑥の対策を合わせて、**HKMG (High-k/Metal Gate)**と呼ばれています。

⑦更に22nmプロセスでは、**3次元構造のFinFET**となりました。

こうした技術の進展が諸問題を解決し、ムーアの法則に沿った微細化を支えてきました。今後の5nm 以下でも、これまでにない新しい技術を導入することは必至と思われます。

では、①～⑥について簡単に解説し、⑦の3次元化は別の章を設けて解説します。



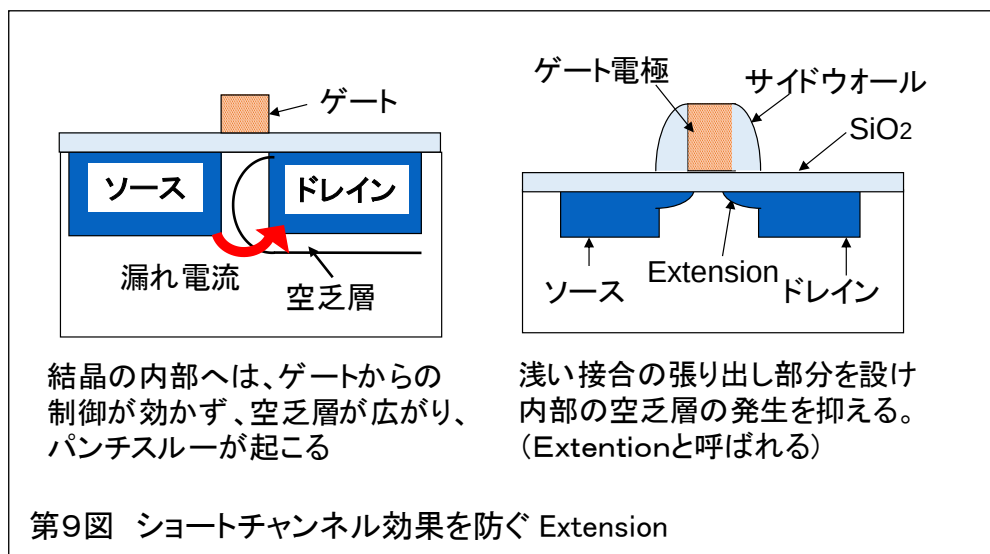
第8図 ナノメーター時代の CMOS LSI

- 1) ゲート酸化膜は、SiO₂系から HfO₂系の High-k (高誘電率) 膜に。
- 2) ゲート電極は、ポリシリコンからシリサイド、さらに金属へ。
- 3) ソース/ドレインのエクステンション接合は、低濃度、浅いナノメーターに。
- 4) 配線は銅になり、層間絶縁膜は低誘電率 (Low-k) 膜へ。
- 5) シリコンに歪みを与えて、キャリア移動度を改善します。

2-3-1. ショートチャンネル効果

MOS の微細化が進み、チャンネル長が20nm で、ソース・ドレインの深さが100nm の場合、深い部分では第9図左のようにゲート電極からの影響よりもドレインからの電圧

の影響を強く受けて空乏層が広がり、ソースとドレイン間にパンチスルーが起こります。ちょうど広い教室で、後ろの方の生徒がスマホなどやっても前の先生には見つからないようなものです。コントロールが効かないのです。これを防ぐためには、ドレイン接合を非常に浅くして、ゲートからの電界が内部を制御できるようにする必要がありますが、ドレイン接合の全てを浅くすると電極のコンタクトを取るのが困難になりますので、チャンネルに接する部分のドレインのみを浅くしています。この部分をExtension(張り出し部分)と呼んでおり、第9図右のような構造となります。短チャネル効果の抑制は、MOS微細化に常に伴う問題であり、現在の最先端LSIでも苦闘が続いています。

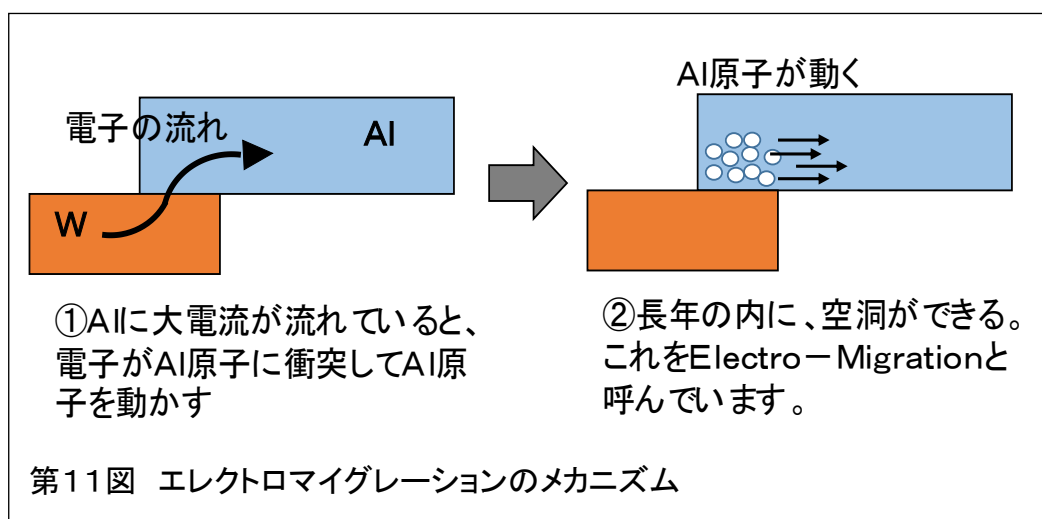
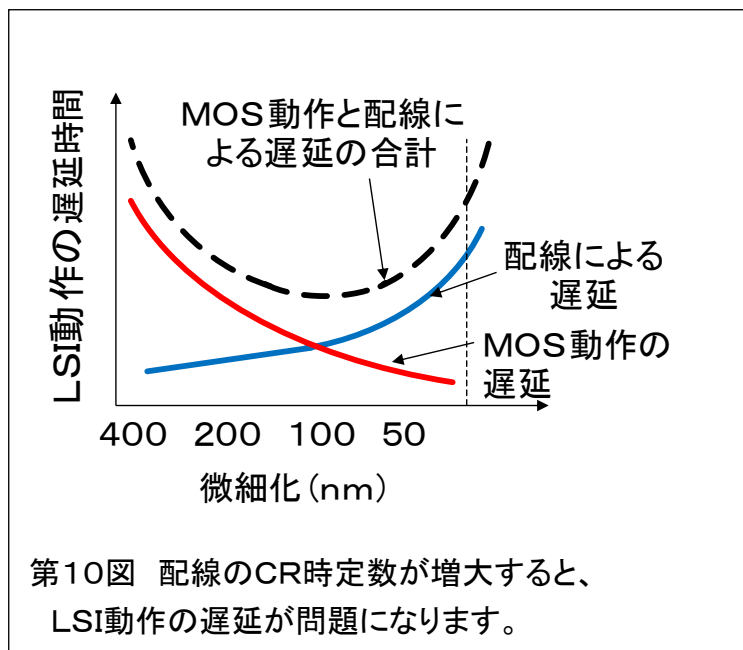


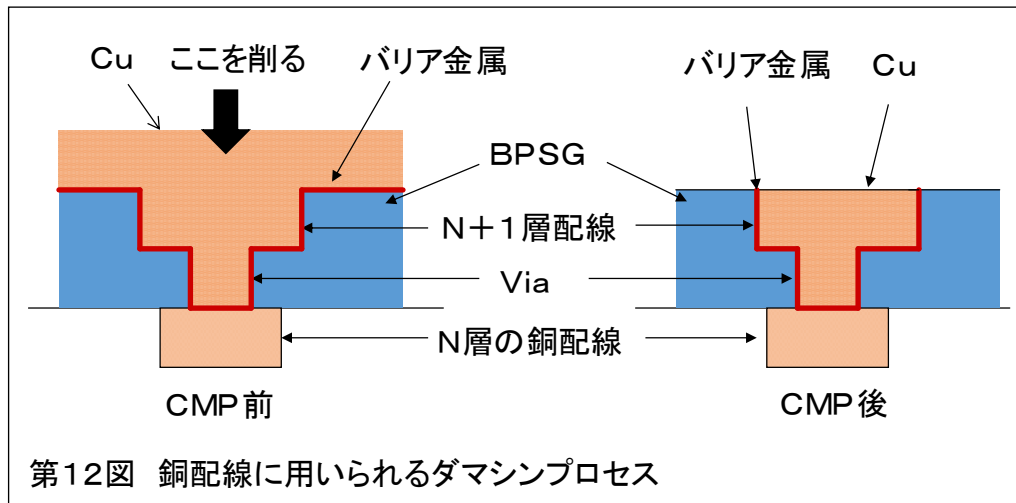
2-3-2. 配線はアルミから銅へ

LSIの配線には長年Alが用いられてきましたが、微細化されるにつれ電気抵抗値が大きくなり、動作遅延の原因となってきました。第10図に、CR時定数が大きくなって、LSIの動作が遅延する様子をグラフ化しました。そこで、抵抗値を下げるため、Alの約2/3の値のCuを用いることになりました。Alはエレクトロマイグレーションの発生も多く、Cuはその改善にもなっています。エレクトロマイグレーションと言うのは、第11図のように、電流密度が大きくなると、電子が導線中の原子に衝突して原子を動かし、ボイド(空洞)を発生し断線の原因となる現象です。ボイドが発生すると、配線の断面積が減少しますから益々電流密度が上がって断線の原因となります。電子の質量は原子の質量の数万分の1程度ですから、小さな粒子が大きな粒子を動かすのは不思議に思われるかも知れませんが、100万匹のネズミが象にぶつくと象も動くようなものです。

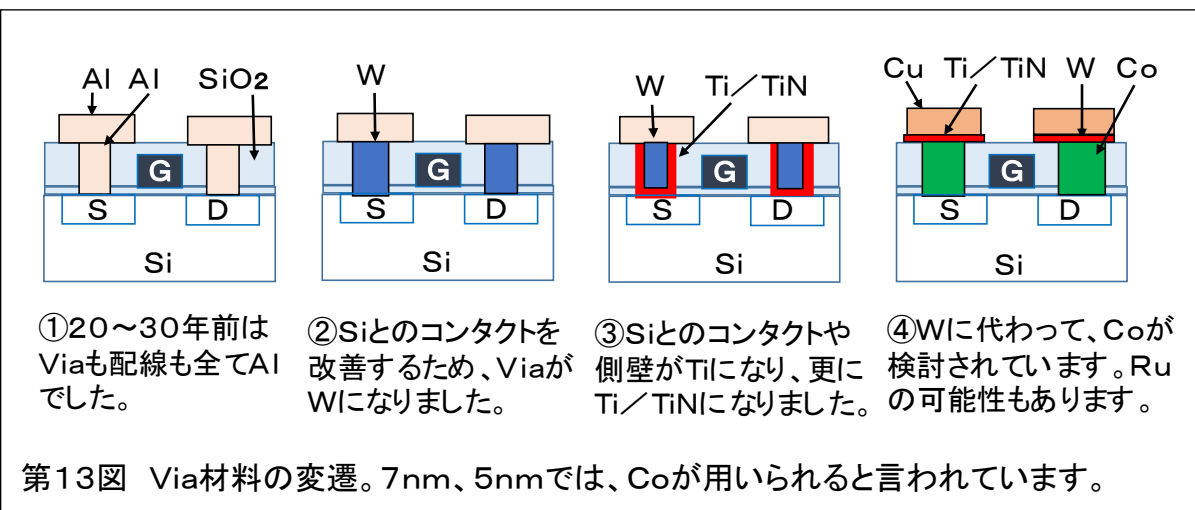
Alは塩素系のガスでプラズマエッチングができますが、銅は適当な揮発性の化合物がなく、プラズマエッチングが出来ません。そこで、第12図のように溝を掘って、その溝の中に銅をメッキで埋め込み、CMPで削る方法が行なわれています。これをダマ

シン(Damascine)法と言い、Viaと配線を同時に行なうのをDual Damascineと呼んでいます。ダマシンとは、ダマスカス地方で発明された宝石などを接着する方法で、日本に伝わって象嵌となりました。宝石や美しい貝殻などを漆の中に埋め込み、漆を削って宝石の表面を露出させる方法です。銅配線の製作では、CMPで銅を削って配線を作ります。CMPはChemical Mechanical Polishの略で、酸化材を含んだ薬液で被研磨物の表面に酸化膜を生成し、これを機械的に削る工程です。ダマシンが配線工程の専門用語となりました。銅は、長年の内に層間絶縁膜中を拡散してトランジスタ間をショートさせてしまいますので、これを防ぐため、薄いバリア金属として、Ti、Ta、Mo、Wなどを挟んでいます。





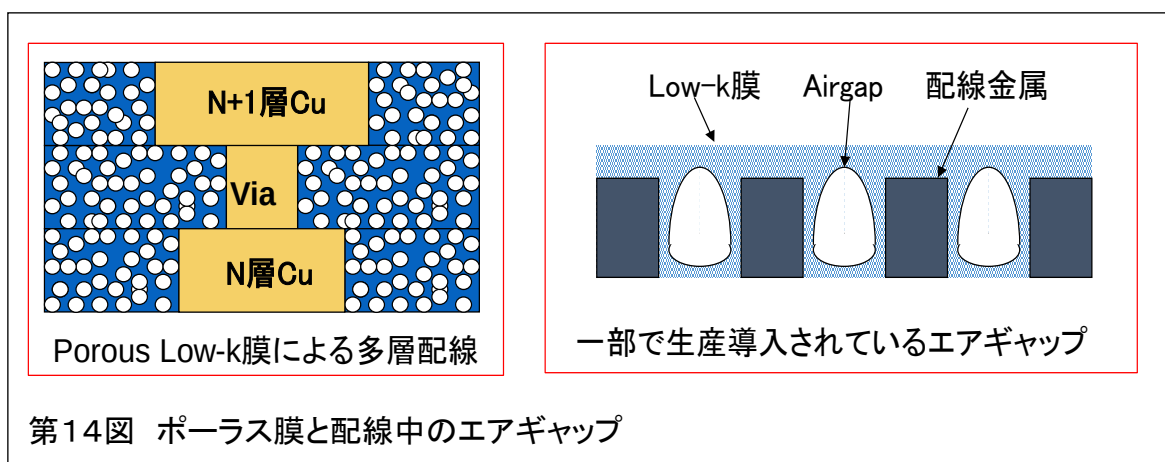
配線工程は、BEOL(Back End of Line)と呼ばれていますが、Siとのコンタクトの部分のViaは、MOL(Middle of Line)と呼ばれる例が増えていきます。Siとのコンタクトの面積が小さくなって接触抵抗が大きくなってきたため、これを下げるため特別な工夫が必要になりました。このViaの変遷は第13図に示しますように、初期の頃はAlが用いられていましたが、溝の中にコンフォーマルにCVDができるW(タングステン)が活用されてきました。Siとの接触抵抗を下げるため、Ti/TiNを挟むようになり(TiNは導電性があります)、次いでWの抵抗値が大きいため、この先CoまたはRuに代わる可能性があり、多くの研究データが発表されています。



2-3-3. 配線の絶縁層は低誘電率膜に

CR時定数を下げるには、配線金属の抵抗だけでなく、層間絶縁膜を低誘電率膜にする必要があります。低誘電率をLow-kと呼んで多くの研究が行われています。古くからSiO₂またはBPSG膜(Boro-Phospho Silicate Glass, k=4)が用いられてきましたが、より比誘電率k値の小さい有機・無機の材料として、CVD材料としては、

SiOF ($k=3.4 \sim 3.8$)、SiOC ($k=2.5 \sim 3.0$)などが用いられ、有機物系のスピ
ンコートできる材料も使われています。出来れば真空の $k=1$ まで下げたいが、配線
が空中に浮いてしまいますので、現実のLSIの生産導入が困難なので、通常の膜と
真空の中間的な Porous 膜(多孔質膜)が用いられています(第14図左)。Porous膜
は、スポンジのような柔らかい膜なので、後工程の処理中に機械的応力が掛かった
場合に問題が発生しないように細心の注意が必要です。第14図右は、CVD膜の生
成条件を工夫すれば巨大な空洞が作れますので、部分的に真空にして k 値を下げる
工夫です。実際は真空でなく空気ですが、配線間の狭い部分の k 値が下がりますから、
この間の容量 C を下げることができ、効果は大きいと思われます。

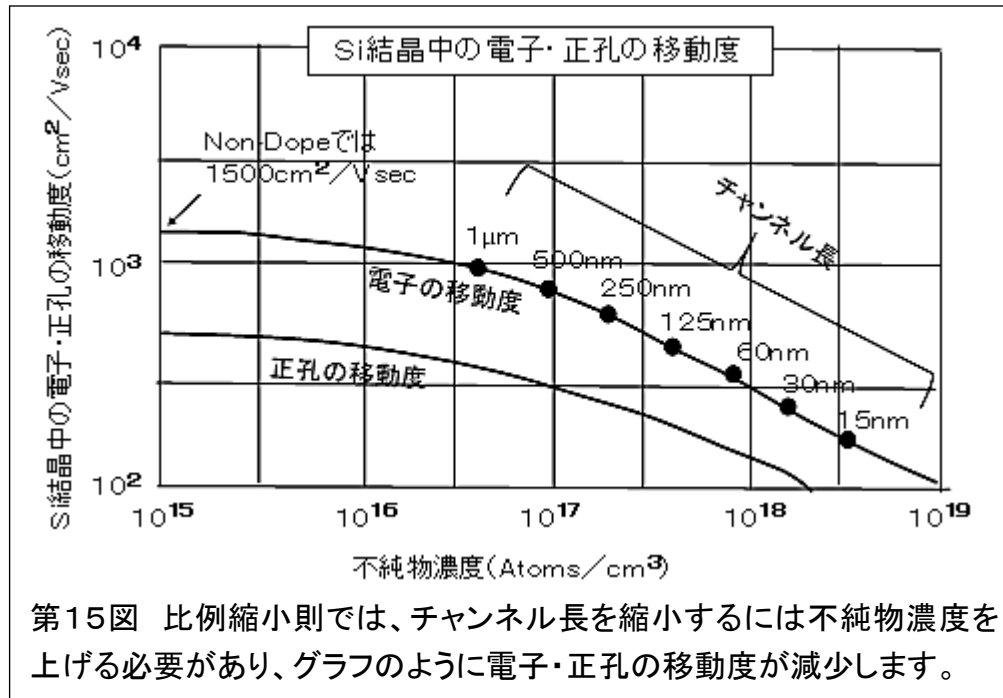


2-3-4. 歪シリコンでキャリアの移動度を向上

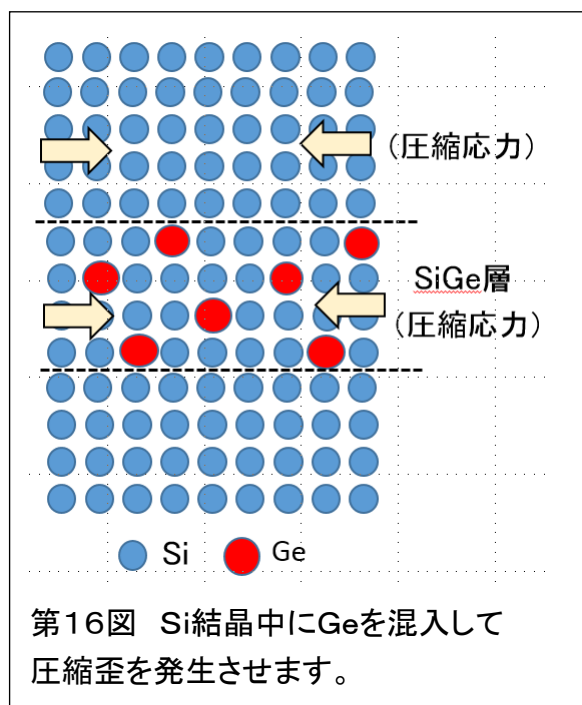
比例縮小則によると、微細化が進むほどチャンネル部の不純物濃度を上げる必要が
あります。不純物濃度が高くなると電子や正孔の走行が邪魔されて第15図のように
移動度が下がります。また、微細になるほど表面の影響が大きくなり、表面の再結合
中心に電子や正孔がトラップされて移動度が下がります。MOSの駆動電流は移動度
に比例しますから、微細になって移動度が下がるほど駆動電流が減少し問題になっ
てきました。そこで、移動度を高くする工夫が必要になります。

第16図は、IBMが発表した結晶の歪による移動度の向上技術です。Siに比べてGe
は原子半径が大きいので、Si結晶中にGeを入れると結晶が膨張します。エピタキシ
ャルにSi/SiGe/Siと結晶成長させると、大きなGe電子が入っているのに膨張でき
ずに圧縮応力が発生します。ちょうど満員電車で太った人が乗ってくると圧縮歪が発
生するようなものです。圧縮応力が発生すると、正孔の移動度が向上します。引っ張
り応力の場合は、一般に電子の移動度が向上します(結晶軸などによって、必ずしも
この通りではありませんが)。IBMの発表をきっかけに、色々な歪の与え方が研究さ
れましたが、現在は第17図のような方法が実用化されています。ソースとドレインに
Geをドーピングして膨張させるとチャンネル部が押されて圧縮され、正孔の移動度が
上がります。Geではなく原子半径の小さいC(Carbon)をドーピングすると引っ張り応力が

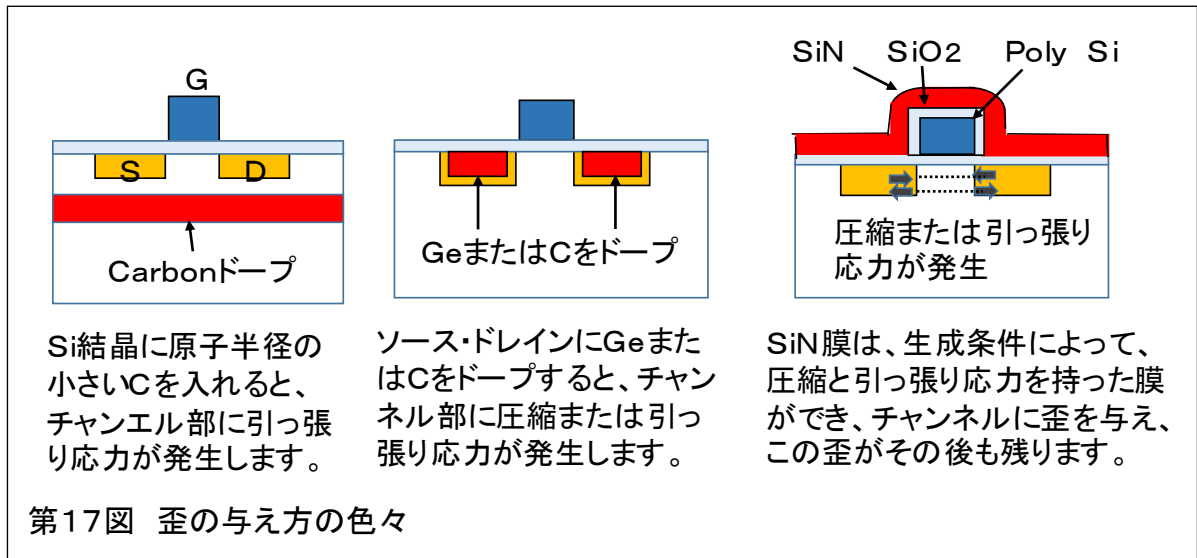
発生し電子の移動度が上がります。また、ゲート電極の上にSiN膜をCVDでカバーしますと、SiNの生成方法によって、圧縮や引っ張り応力が発生し、チャンネル部に影響します。この応力は後の処理によっても余り影響されずに歪が残留しますので、SME(Stress Memorization Effect;歪み残留効果)と呼ばれています。SiN膜は、SiO₂などの膜に比べてかなり硬いので、このような効果が起ります。プロセス上は簡単に実現できますので多用されています。



第15図 比例縮小則では、チャンネル長を縮小するには不純物濃度を上げる必要があり、グラフのように電子・正孔の移動度が減少します。



第16図 Si結晶中にGeを混入して圧縮歪を発生させます。

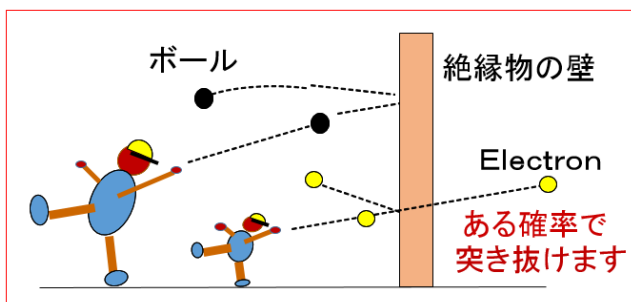


2-3-5. ゲート酸化膜をトンネル電流が

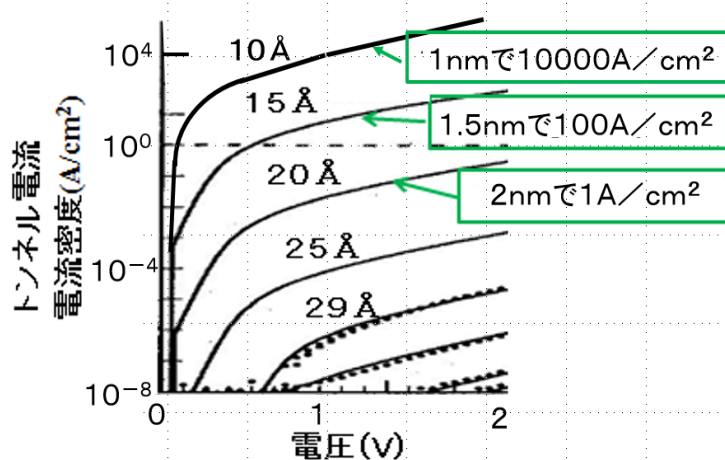
我々が日常接する世界では、絶縁物は電気を通しません。ミクロンの世界でも同じです。ところが、原子数個分のナノメートルの世界では電子が絶縁物を突き抜けてしまいます。これは量子力学でトンネル効果と呼ばれている現象で、1～2nm程度以下の厚さの絶縁物で発生します。最先端のLSIではトンネル現象を問題するようになってきました(第18図参照)。ゲート酸化膜に SiO₂を用いた従来のMOSの比例縮小則では、SiO₂の厚さが1nm(10 Å)近くなってトンネル電流が流れ、消費電力が非常に大きくなってきました。第19図にSiO₂の厚さとトンネル電流の関係を示します。コンデンサーの容量は下の式で表され、一定の電荷量を確保するには、酸化膜の厚みを薄くするか、比誘電率kを上げる必要があり、Hfの酸化物(HfO₂)などの高誘電率(High-kと呼ばれる)材料が用いられています。ゲート絶縁膜の誘電率を大きくするために、まずSiN(k=7)が用いられました。次に、k=20程度のHfO₂系が検討され、HfSiONが生産導入されています。

$$C = \frac{k_0 k \cdot S}{t} \quad \left\{ \begin{array}{l} k_0; \text{真空中の誘電率} \\ k; \text{酸化膜の比誘電率} \\ S; \text{面積} \\ t; \text{酸化膜の厚さ} \end{array} \right.$$

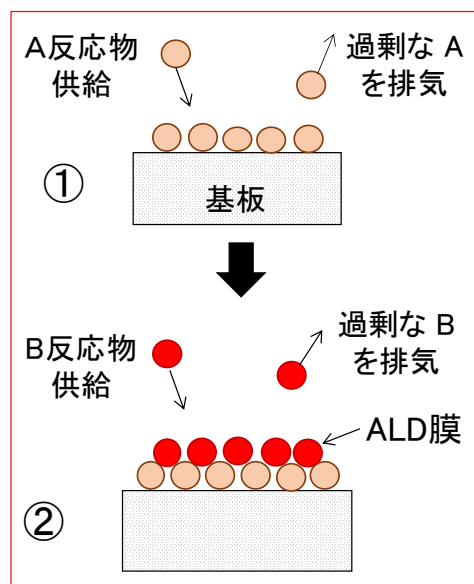
SiO₂の厚さが1nmとは分子が6個分の厚さです。今や原子や分子の数を制御する時代となりました。このための膜付け技術としてALD(Atomic Layer Deposition)が開発され、LSIの生産に一般的に用いられています。第20図は、ALDの原理を示したもので、1原子層を膜付けすると、窒素などでパージし、次いで別のガスを導入して下地原子と反応させることにより、膜を原子1層ずつ成長させます。



第18図 トンネル効果



第19図 SiO₂膜の厚さとトンネル電流の関係



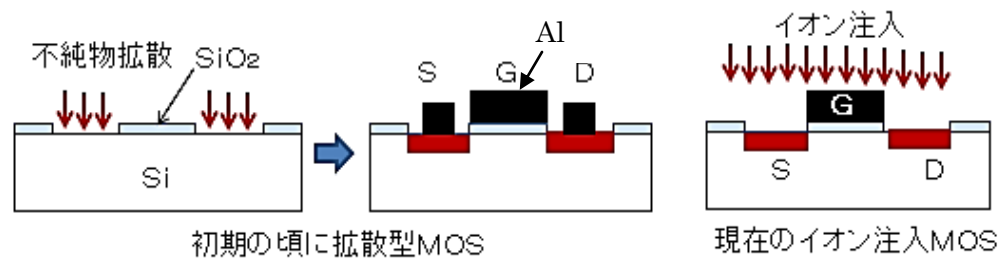
第20図 ALDで1原子層ずつ積む様子

2-3-6. ゲート電極をポリシリコンから金属に変更

次いでゲート電極材料も大変身です。MOSのゲート電極は、長年の間ポリシリコンが金属の代わりに用いられてきました(囲み記事、脱線を参照して下さい)。なぜならイオン注入後には結晶がダメージを受けた注入層の活性化のため、必ず1000℃近い高温のアニールが必要ですが、それに耐えられる金属はほとんど無いからです(モリブデンやタングステンをゲートに用いるICも過去にはありましたが)。そこでポリシリコンが用いられることになりました(Siの融点は1420℃です)。ところが、ポリシリコンは半導体でもあり、電界が掛かると第21図のように電子や正孔が移動し空乏層が発生します。空乏層はコンデンサーを形成しますので、ゲート酸化膜のコンデンサーと直列に繋がった形となり、折角SiO₂を薄くしてもこの空乏層により容量値を下げてしまいます。この対策として、ポリシリコンの代わりに空乏層が発生しない金属にする検討が進みました。

脱線 MOSが開発された時には、ゲート電極はアルミでした。当時はイオン注入の技術がなく、熱拡散でソースとドレインに不純物を入れて接合を形成した後にゲート電極を作成していました。従って、金属・半導体・金属 Metal-Oxide-Semiconductor のMOSでした。

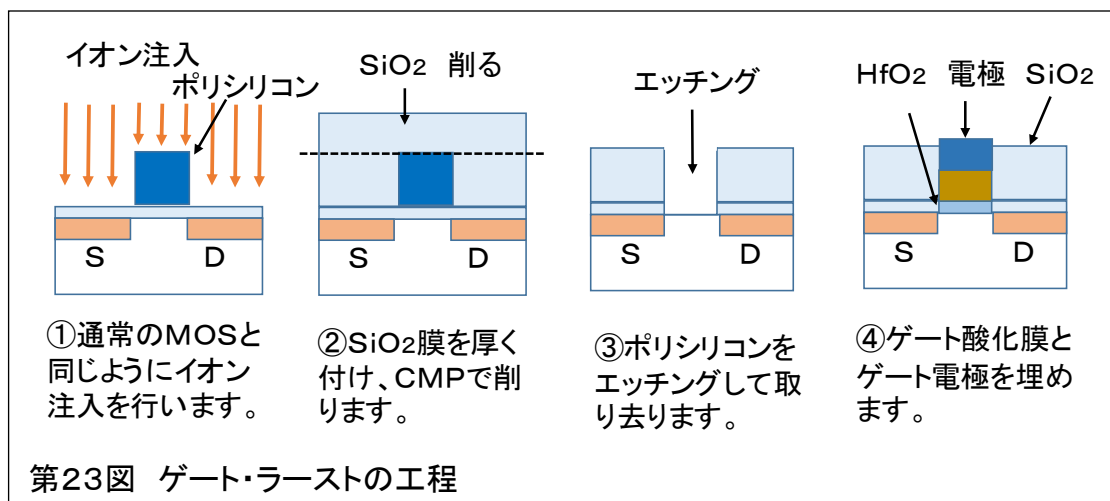
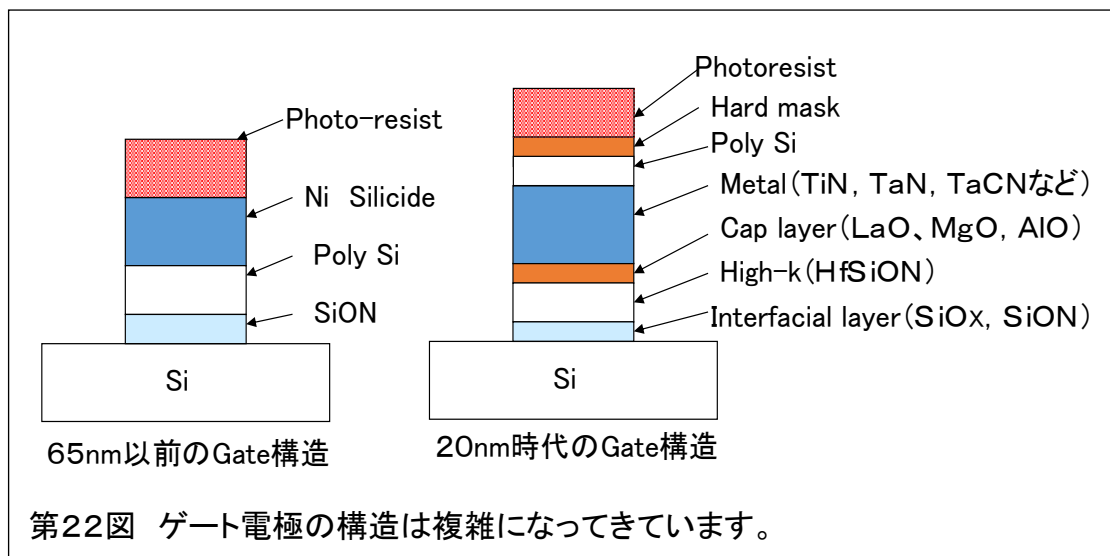
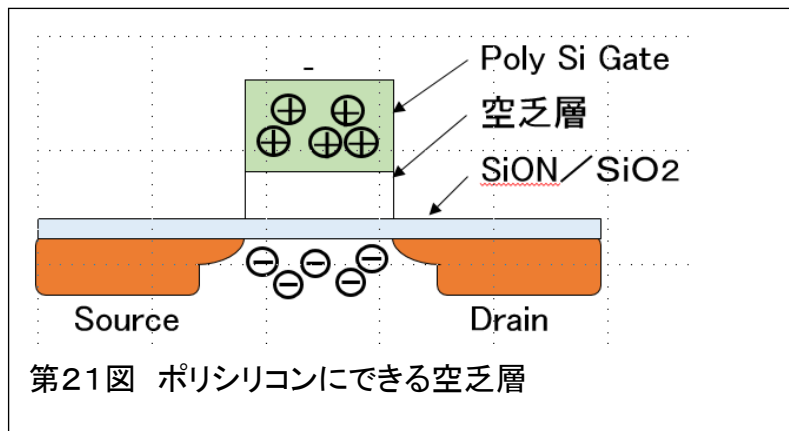
イオン注入が実用化され、ゲート電極をマスクにしてソース・ドレインを形成し、1000℃でアニールするようになって、高温に耐えられるポリシリコンが用いられるようになりました。従って、MOSではなくPOSと呼ぶべきです。参考までに、初期の拡散型と現在のイオン注入型を下に示します。



ところが金属なら何でも良い訳でなく、適当な仕事関数の金属を選ぶ必要があり、プラズマエッチングのガスも、マスクになるフォトリソ自身のエッチングされてしまう場合も多く、カーボンやシリコン系のハードマスクを用いる必要があります。この様子を第22図に示しました。

更に面倒な工程を紹介しておきます。MOSのソース/ドレイン部にイオン注入した後、1000℃近い高温でアニールする必要がありますが、HfO₂や一部の金属は、1000℃の耐熱性がありません。アモーフスHfO₂は結晶化が始まります。そこで、第23図のように、ポリシリコンのゲート電極でMOS構造を作った後、これを取り去ってゲート材料を入れ替えます。ゲートを後で埋め込みますから、この方法は「Gate Last」と呼ばれています。

また、NMOSとPMOSとで異なる金属を使う必要もあり、NMOSを作成する時には、PMOS部分をSiO₂やSiNなどで蓋をしておき、PMOSを作成する時はNMOSに蓋をします。実に手間の込んだプロセスが要求されています。



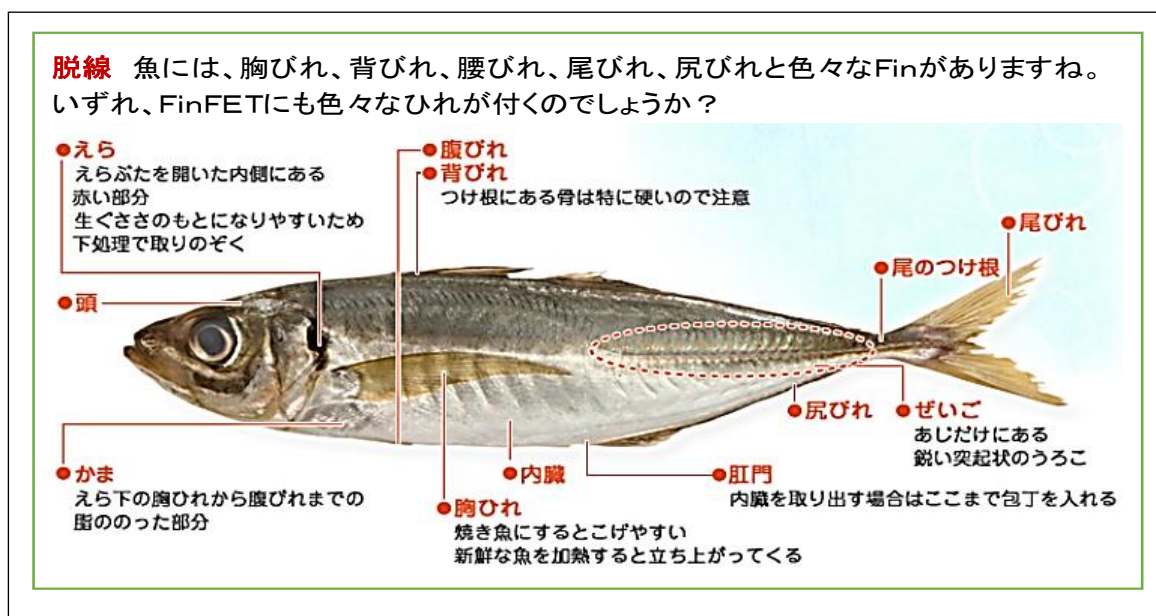
3. 素子構造の立体化で、更にムーアの法則が進展

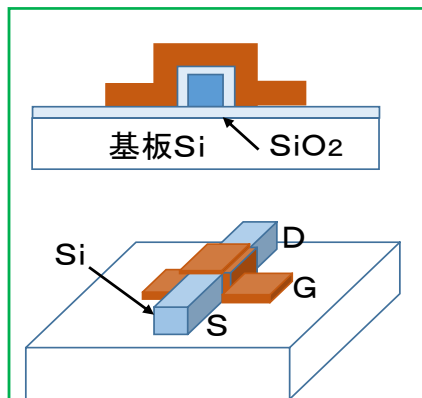
これまでMOSであろうとバイポーラであろうと、ほとんど全ての半導体は平板状のSiウエファーの表面にPN接合を設けたものでした。ところが微細化を更に進めるためには立体化が要求され、代表例としてFinFETと3D-NANDフラッシュメモリーが量産され始めました。

3-1. FinFETの採用

最初に生産が始まったのは、第24図左のトライゲート型のFinFETでした。Finとは魚のヒレのことですが、図のようにバー状のSiが「ヒレ」のように両側に出ていることからFinFETと名付けられました。数年前、インテルが22nmプロセスで生産を始めた時は、図のようにSiの側面と上面にゲートがありましたので、Tri-Gate（3面ゲート）と呼ばれました。バー状のSiの3面をゲートが囲んでいますから、ゲートの電界がバー全体を制御することが出来て、短チャネル効果が抑制され、リーク電流の発生がほとんどなくなりました。短チャネル効果については、第9図で説明しましたように、ゲート電極からの電界が結晶内部まで制御できなくて、ソース・ドレイン間に電流が流れてしまう現象で、対策としてExtention構造が利用されていますが、それでも10nm時代になると不十分になってきて、FinFET構造に代わりました。

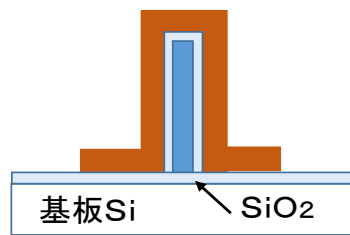
その後、電流を多くとる必要からSiバーはどんどん背が高くなって第24図右のようになり、Tri-Gateと言うより、左右両面ゲート（Double Gateと言うべきでしょう）構造になり、通常は単にFinFETと呼ばれています。FinFETの微細化が進むと、集積度が上がるだけでなく性能も向上します。デナードの比例縮小則に100%従うことは無理ですが、消費電力と動作速度の関係は、第25図のように向上します。





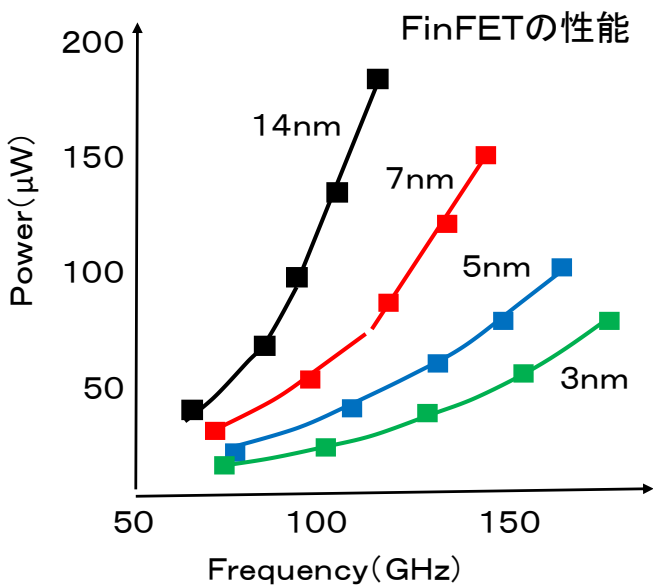
トライゲート(Trigate)構造

(初期のFinFETは、こんな構造で、ゲート電極が3方にあるのでトライゲートと呼ばれた)。



Finが高くなって、ゲート電極が両側にあるので、デュアルゲートと呼ぶべき。

第24図 トライゲート構造と最近のFinFET構造



第25図 FinFETの微細化による性能向上。
(5、3nmは、ナノワイアになる可能性あり)。
IMECのデータを元に筆者が加工しました。

脱線 10nmとは、どこの寸法のことですか？

ITRS2015から一部を抜き取ったのが下表です。何と14nmNodeと言っているFinFETは、最小寸法は24～28nmとなっており、どこが14nmか分かりません。実際、インテルは「インテルの14nmは、他社の10nmである」と言っています。実際の最小寸法は、発表している数値の2倍ぐらいと考えるべきでしょうか？従って、本書で色々な寸法が出てきますが、単なるプロセスの名称であって、パターン寸法を表すのではないと理解して下さい。

生産(年)	2015	2017	2019
Node	14	10	7
Metal 1/2 Pitch(nm)	28	18	12
Gate Length(nm)	24	18	14

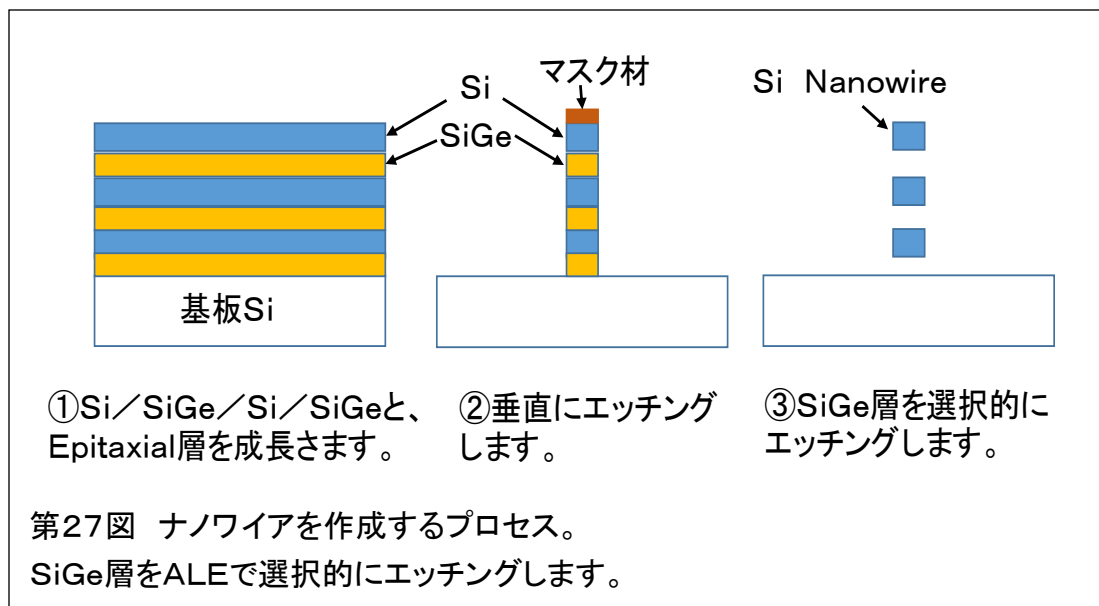
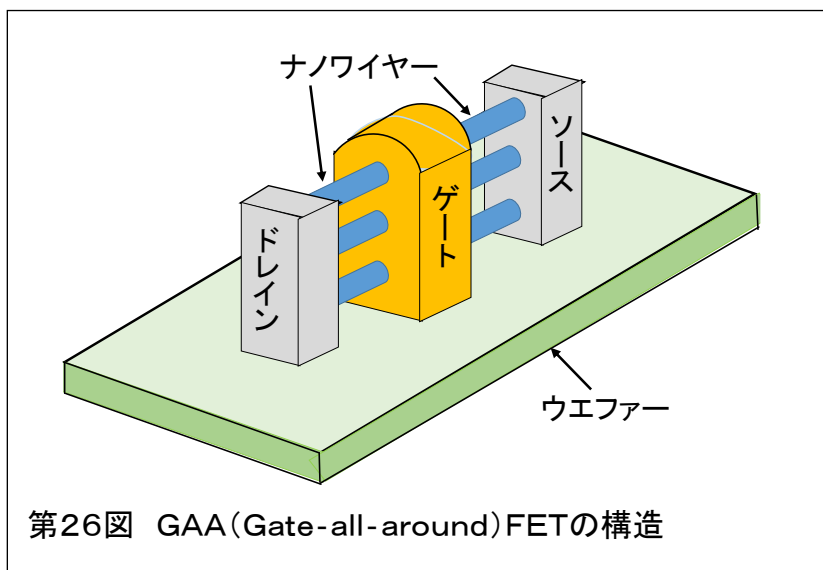
なぜ、こんなことが起こったのでしょうか？ 自社のLSIは、微細化で世界最先端であると言いたいためサバを読んで、「サバ読み競争」が始まったわけです。筆者は某電気メーカーに勤めていましたが、「素晴らしい半導体を開発した」とマスコミで報道されると、それと無関係のテレビなどが売れ出したものです。これをハロー効果と言うそうで、一つが光輝いていると、消費者はその周りの物も素晴らしいと勘違いしてくれる訳で、そこで誰もが「わが社は素晴らしい」と宣伝します。

3-2. ナノワイア(GAA)へ移行か？

FinFETは、短チャネル効果によるリーク電流低減やゲート電極の制御性を高める技術を進化させましたが、3nm世代ではGAA(Gate all around)への移行が検討されています。(5nmでは、まだFinFETが続いていると思われます)。GAAは、第26図のように、ナノワイア状のSiチャンネルをゲート酸化膜とゲート電極がぐるりと取り囲む構造になっています。Siナノワイアは、直径10nm以下(角型もあります)が考えられていますが、年々微細になると思われます。ただ、ナノワイアはゲートからの制御性は優れていますが、微細なので電流が多く流せませんので、第26図のように数本のナノワイアを重ねた構造が考えられています。量産化を考慮すると、このようなナノワイアをウエファー上に規則正しく並べる必要がありますが、どんな方法でアクロバットの構造を作るのでしょうか？ レポートによると比較的簡単に書いてあります。即ち、第27図のように、Si/SiGe/Si/SiGeとEpitaxial成長させ、パターニング&エッチングしてナノワイアの両端を壁のような構造にし、ソースとドレインの電極を設けて固定した後、SiGe層を選択的にエッチングして除去すれば、Siワイアが残って多層のナノワイアが完成します。と、簡単に書きましたが、SiGeのエッチングには、原子の1層ずつをエッチングするALE(Atomic Layer Etching)と言う手法が用いられてい

ます。更にゲート酸化膜とゲート電極をナノワイアの回りに形成するには、第20図で述べましたALD(Atomic Layer Deposition)が用いられています。まさにプロセス技術の粋を集めたデバイスの製法と言えるでしょう。

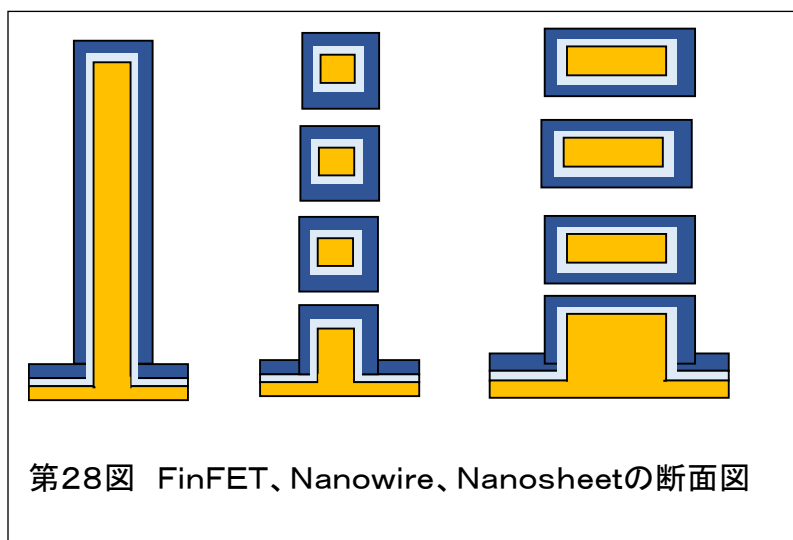
IBMのGAAに関する試作レポートによると、寸法はナノワイアのピッチが30nm、チャンネル部分の幅と高さは10nm、ゲート長は10nmの構図で、OFF状態の電流値の I_{off} は100nA/ μm ($V_{DD}=0.68\text{V}$) 以下となっています。チャンネル部分は、ドーピング無しにするとキャリアの移動度が大きくなって好ましいのですが、 V_t (閾値電圧)の制御が難しい。ゲート金属の仕事関数を考慮して、PMOSとNMOSに適したゲート電極を形成すれば良いのですが、プロセスが複雑になるので、ナノワイアを製作する時にドーピングして V_t 値のアジャストを行うそうです。



3-3. 更にナノシートで電流値をアップ

ナノワイアと似たような構造ですが、ナノシートも話題になっています。ナノワイアと同じように、シートの回りをゲート絶縁膜とゲート電極が取り巻いています。ワイアよりシートの方が断面積は大きいからです、電流を多く流せます。ただし、トランジスターの面積はワイアより大きくなります。FinFET、ナノワイア、ナノシートの断面図を第28図にあげておきます。ナノワイアやナノシートでは、10～5nmと微細な上に、側壁だけでなく下側(裏側)にも膜をデポジットしなければならないコンフォーマリティ(どんな表面にも裏面にも回り込んで膜が付着すること)が必要になりますから、かなりプロセスは厄介です。しかし、間もなく量産に移行すると考えられています。

IBMの発表によると、5nmのナノシートでは、10nmのFinFETに比べて消費電力は75%も削減できたそうです。デナードの比例縮小則は、まだ生きているようです。

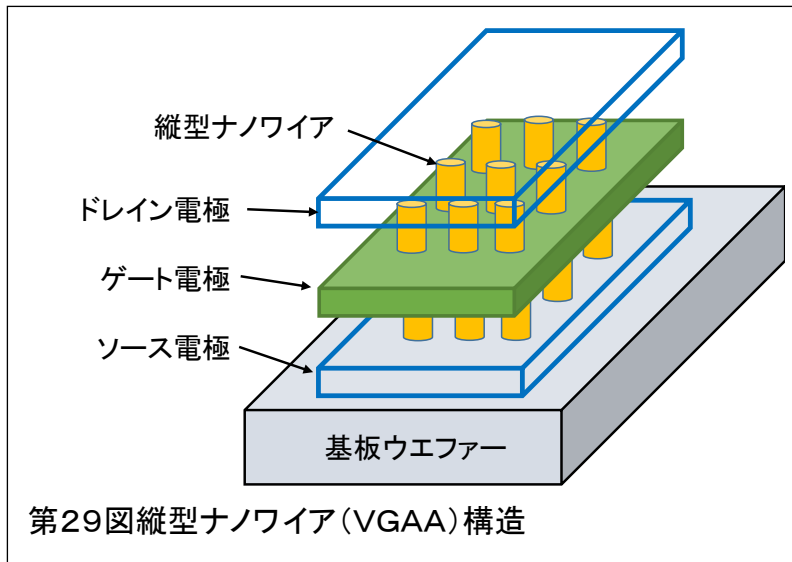


第28図 FinFET、Nanowire、Nanosheetの断面図

3-4. 縦型ナノワイアへ移行するのか？

これまで見てきたナノワイアは、水平方向にナノワイアを並べる構造でしたが、その先のMOS構造として縦型ナノワイア(VGAA; Vertical Gate all aroundと呼ばれる場合があります)が検討されています。第29図のように、ちょうどお花を生ける剣山か、或いはヤマアラシの毛のように、ウエファー上に垂直にSiナノワイアが林立しています。

縦型ナノワイアは、数年以内に実用化されるという意見もありますが、水平ナノワイア時代が少なくとも数年は続くでしょうから、それを飛び越して縦型が直ぐに実用化されるとは考え難く、筆者はかなり先の話だろうと思っています。Siの柱を立てるだけなら色々な方法が考えられますが、第29図のようにソース・ドレイン・ゲートの電極をつけて、PMOSとNMOSを隣合わせに作るのは簡単なプロセスとは思えません。かなりの工夫が要ると思われ、今後の研究開発の進展が楽しみです。



3-5. 移動度の高い異種材料の採用

これまで、平面MOS→FinFET→水平GAA→垂直GAAと構造が代わって行くであろうという説明をしましたが、構造がどのように変わろうと微細化が進むとSiの移動度が減少してしまっていて、駆動電流が十分に取れない恐れがあります。歪を与える程度では対応できません。そこでシリコンに代わって移動度の大きな材料を採用したいという要求が強くなっています。第3表は幾つかの半導体の移動度を示したものですが、この表から言えることは、電子(即ちNMOSのキャリア)の移動度はGaAsの値が大きく、正孔(PMOSのキャリア)はGeが優れています。そこで、CMOS用として、NMOSにGaAs、PMOSにGeを使うことが検討されています。(この表のSiCとGaNは、ムーアの法則とは関係ありませんが、ワイドギャップ半導体と呼ばれてパワーデバイスの材料として期待されていますので参考までに載せておきました)。

異種材料を用いる場合の最大の問題点は量産性でしょう。Siの場合は300mm径のウエファーに多数のチップがのり、そのチップ上に膨大な数のトランジスタが並んで、それを縦横に切断してチップを多数取れば、リーズナブルな価格で生産することが可能です。ところが異種材料では、そのような大直径のウエファーがありませんから、量産のためにはSiウエファー上に異種材料を並べる工夫が行われています。その例を二つ上げてみます。

第30図は、Si上にSiGeの結晶を作成し、これを熱酸化するとSiGe中のSiのみが酸化されてSiO₂になりますので、後には酸化されないGeが単結晶として残ると言うアイデアで実験的にも成功しています。まだ、Geの結晶欠陥などがあるらしく、実用化には更に検討が必要です。

第31図は、Si上のSiO₂膜に窓を開けてInGaAsをエピタキシャル成長すると、SiO₂膜の上を横方向に成長(Lateral Epitaxyと呼ばれています)して薄膜の単結晶がで

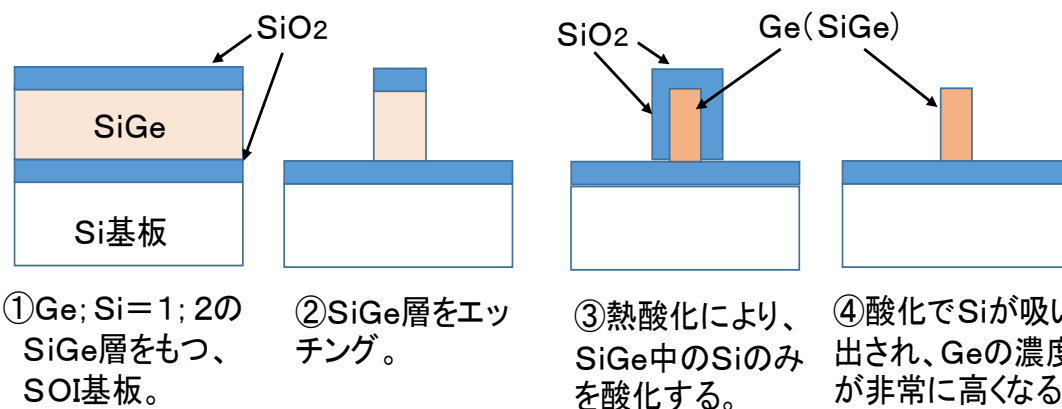
きると言うアイデアで、横方向に結晶が成長すると結晶欠陥が消滅するらしく、実験的に成功しています。

これらはまだ単発の技術であって、両技術を同一のウエファー上で実現するのは容易ではなく、実際にCMOSなど簡単には出来そうにありません。第32図は、Geの結晶上でPMOSとInGaAsのNMOSを隣同士に作った例です。理解し易いようにするため、元の技術発表とはやや異なった図になっています。

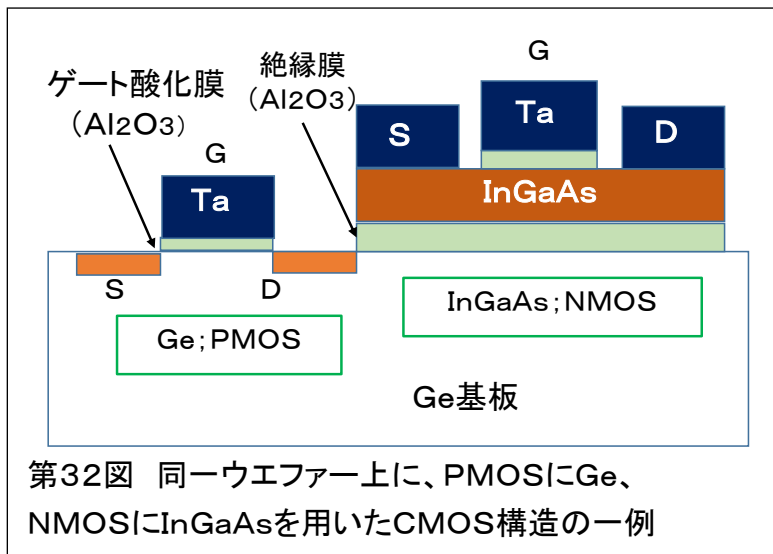
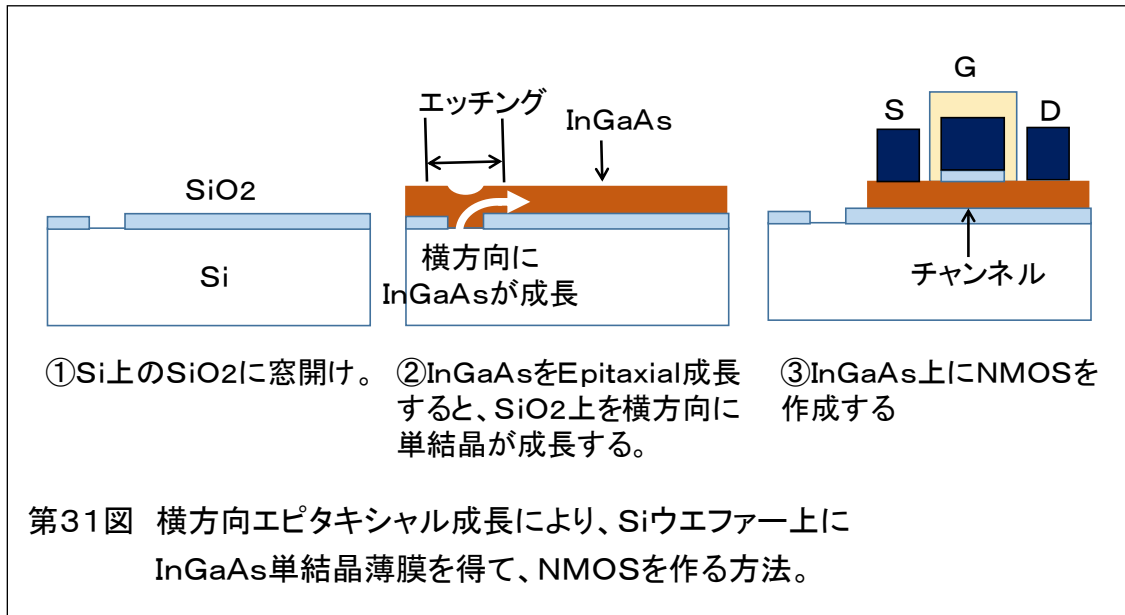
いずれSiは行き詰まって異種材料に移行すると思われますが、筆者の予測では異種CMOSが量産されるのは、早くても10年先ではないでしょうか。Geは、電子も正孔も比較的大きな移動度ですから、NMOSとPMOSがともにGeで作ることも考えられ、比較的早く実現するかも知れませんが、300mm径のGeウエファーは簡単にはできそうにありませんから大量産には無理でしょう。

半導体材料	禁制帯(eV)	移動度(cm^2/Vsec)	
		電子	正孔
Si	1. 2	1350	480
Ge	0. 74	3600	1800
GaAs	1. 52	8600	400
GaN	3. 47	1300	30
SiC	3. 0	460	20

第2表 各種半導体材料の電子・正孔の移動度
(この値は不純物がNon-Dopeの場合であり、
Dopeされると移動度が大幅に下がります)



第30図 Siウエファー上にGeの結晶を作成する。



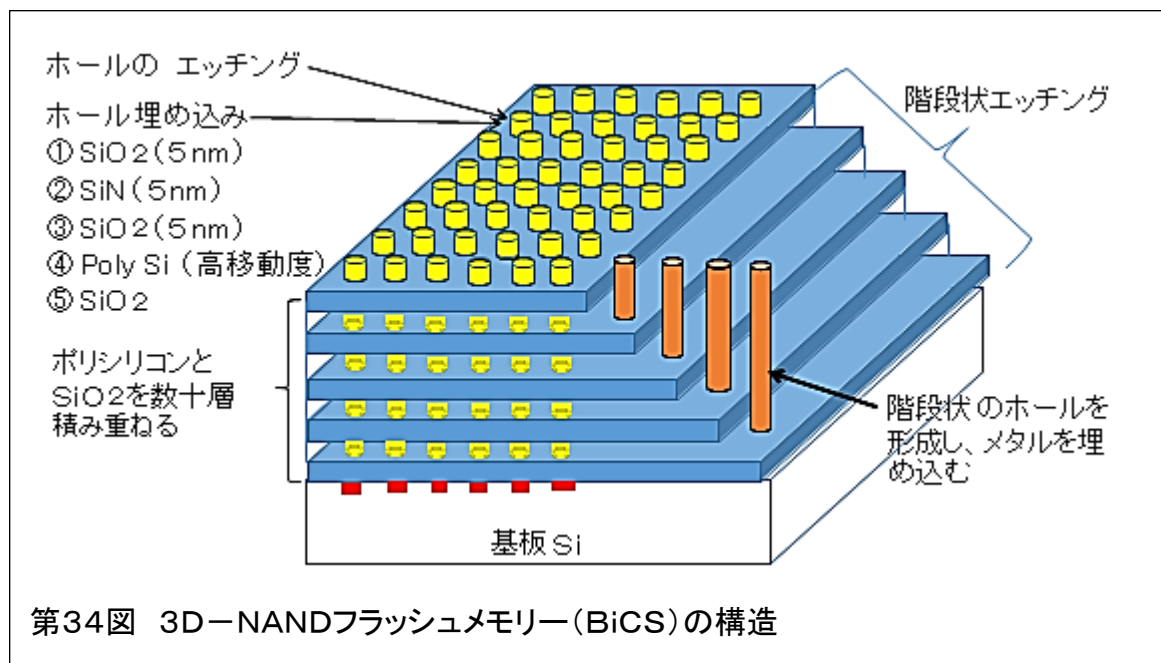
3-6. 遂に出ました1Terabit(1兆ビット)メモリー

サムスンが遂に発表しました。「2018年には1TerabitのV-NANDフラッシュメモリーを出荷し、これを1パッケージに16チップ入れた16Terabit(2TeraByte)のデータストレージを発売する」。この1パッケージと言うのはモジュールかも知れませんが(どんなパッケージか筆者は知りません)、「ムーアの法則もビックリ」の、予想を超えた集積度であることは間違いありません。集積度の点だけで言えば、いまやNANDフラッシュメモリーがLSIのリーディングデバイスであることは間違いありません。

その3D-NANDフラッシュメモリー(3Dは3次元の意味)は、2007年に東芝から学会発表され、BiCS(Bit Cost Scalable)と名付けられました。ウエファー上にCVDで縦にトランジスターを積む構造のため、層数を増やせば幾らでも集積度が上げられ

NANDフラッシュメモリーが何故集積度を増やせるのか、簡単に説明しておきます。第33図が回路構成ですが、右端の赤線の図は1ラインを表したもので、No. 1のビットを選択する時には、他のビットを全てON状態にします。No. 1のビットのソースがビット線に繋がり、ドレインがアースに接地しますから書き込みや読み出しができます。この図から明らかなように1ビットに必要な配線は1本だけです。一般のMOSTランジスタでは、電極はソース、ドレイン、ゲートの3端子で3本の配線が必要で、配線が大きな面積を占めています。NANDフラッシュメモリーが、1ビット／1本で済むのは大きなメリットであり、これが集積度の向上に寄与しています。第34図は3D-NANDのBiCSの構造で、当初はCVD膜を24層とか32層とかで生産が行われましたが、数年を経ずして64層となり、100層を超える層数も生産されています。ただし、アスペクト比（開口と深さの比）が大きくなって、エッチングとCVDの技術革新が必要で、電極の取り出しも、階段状のエッチングや高さの大きく異なる電極を作成しなければならず、想像を絶するほどプロセスは厄介です。





3-7. メモリー作用のある異種材料

メモリー素子は、一度覚えたことを忘れないような現象を利用すれば良く、これまで述べたタイプとは限らず、色々な現象の利用が考えられ、第3表に注目されているタイプの一覧を上げました。FeRAM、MRAM、PRAM、ReRAMなどは、有望な不揮発性メモリーと言われていますが、開発から既に10年以上も経って未だに量産になっていませんので、この先も余り期待できないかも知れません。

現在のコンピューターに使われているメモリーは、第34図左のようになっており、DRAMはナノ秒の高速動作であるのに対して、SSD(Solid State Drive)はミリ秒の低速度で、その差は100万倍にもなります。その中間の性能と容量を持つメモリーとしてストレージクラス・メモリーが要望されています。ReRAMは、高速動作であり、かつ不揮発性なので、そのギャップを埋めるストレージクラス・メモリーとして適しています。他にもインテルとマイクロンが共同で開発したXPoint(クロスポイント)メモリーなども有望と言われています。筆者の独断の見解ですが、これらのメモリーの動作速度がDRAM並みにできれば、第34図右のようにDRAMに置き換わる可能性があります。DRAMは、常にリフレッシュ動作が必要で消費電力を下げられませんが、ReRAMなどは微細化が可能であり、不揮発性であるためパワーゲーティングなどで電源を切っても再動作が可能で省電力に適しています。(メモリーの専門家では、DRAMに代わるメモリーなど議論する人はいないようですから、第34図右の図は、筆者の独断のアイデアですから信用しない方が良いでしょう!!!)。

また、3D-NANDフラッシュメモリーのフローティングゲートやSiNトラップの代わりにReRAMが用いられる可能性があると思われます。その場合は高速動作が出来ませ

るので、3D-NANDフラッシュメモリーとして集積度向上に寄与することになります。
また、MRAMは、他のメモリーと違って磁場の変化を利用しており、ニューロコンピューターなどの用途に適しているらしいので、注目すべきかも知れません。

	不揮発性	微細化	読み書き速度	生産状況
DRAM	X	○	○	量産中
SRAM	X	X	◎	量産中
フラッシュ	○	○	△	量産中
FeRAM	○	○	○	少量生産中
MRAM	○	○	◎	生産開始へ
PRAM	○	○	○	生産開始へ
ReRAM	○	○	○	開発中

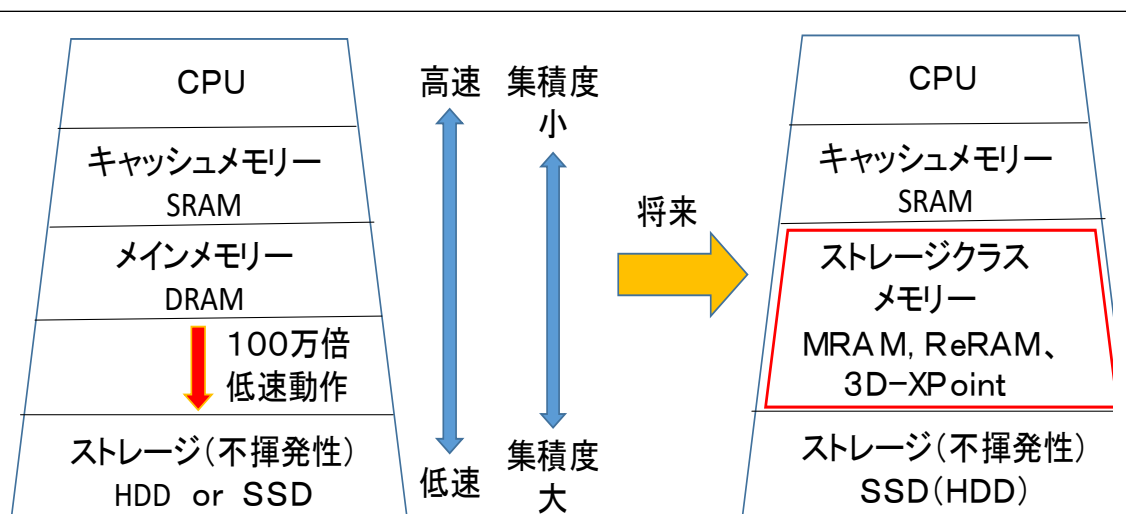
FeRAM ; Ferro-electric Random Access Memory

MRAM ; Magnetic Random Access Memory

PRAM ; Phase Change Random Access Memory

ReRAM ; Resistive Random Access Memory

第3表 不揮発性メモリーの一覧



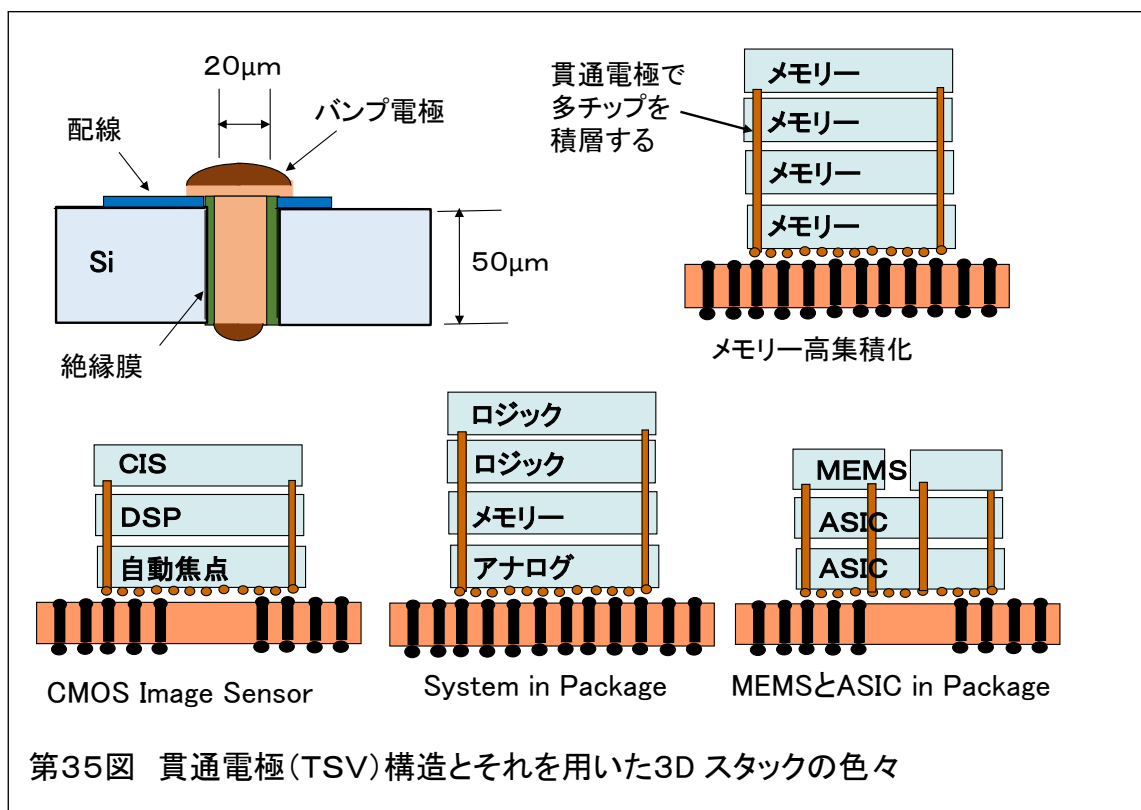
第34図 DRAM並みの動作速度の不揮発性メモリーが出来れば、
コンピューティングシステムの革命が起こるかも。(筆者の無責任な予想)

4. アッセンブリーの工夫で集積度が向上

これまで、主にLSIパターンの微細化やチップ立体化による集積度向上を見てきましたが、ムーア氏の予言当時は、微細化だけでなく、チップサイズを大きくして集積度を上げていました。現在は、チップサイズは $10 \times 10 \text{mm}^2$ 程度ですが、ステッパで露光できる最大面積の $26 \times 35 \text{mm}^2$ のチップを作れば、約9倍の集積度向上となります（面積が広くなると、欠陥が発生する確率が増えて歩留まりが悪くなりますが）。現実的な集積度向上策としては、多チップ化があげられます。一つのパッケージに多チップを詰め込むのは、単に集積度を上げる目的だけでなく、機能の異なったチップを近接して接続できます。各チップは、組み込む前に動作が正常であることを確認しますので、多くのチップを積み重ねても歩留まりが悪くなる心配はほとんどありません。（正常なチップをKGD(Known Good Die)と呼んでいます）。

4-1. 貫通電極(TSV:Through Silicon Via)で積層

TSV技術を用いた3D技術は、メモリーを積層して集積度を増やす目的や、イメージセンサのイメージ部とロジック回路を繋ぐ用途にも利用されています。上下のチップ間の接続はワイヤボンドでも可能ですが、TSVは配線長が短縮できて有利です。第35図は、TSVの構造と、それを用いたデバイスの例です。ロジック、アナログ、メモリー、化合物半導体、MEMSなどの異種チップを繋ぐ用途も期待されます。

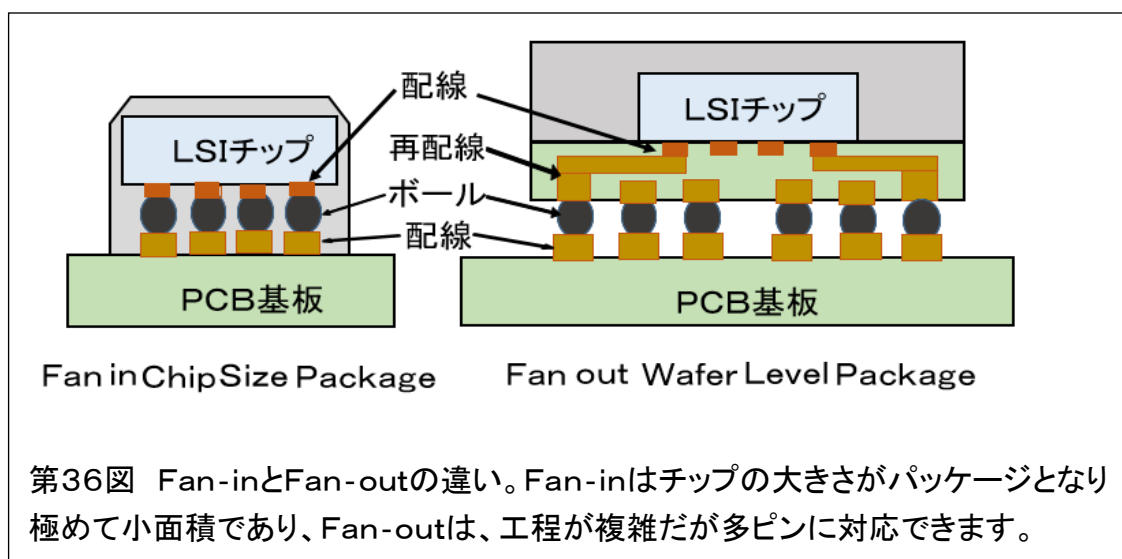


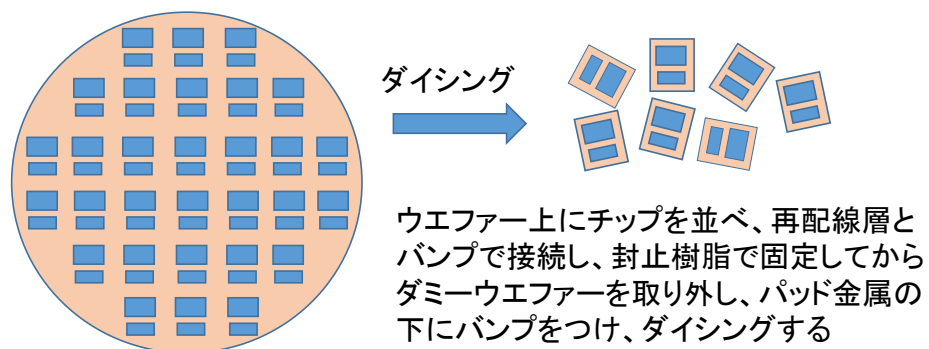
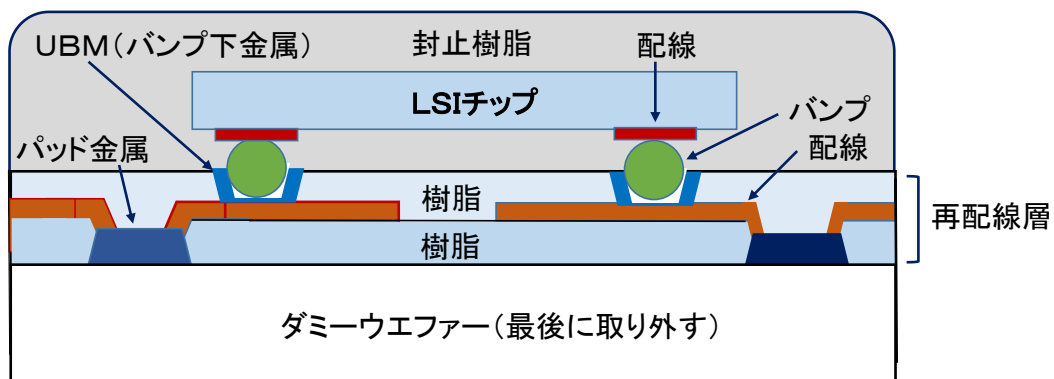
4-2. 注目されるFO-WLP(Fan out Wafer Level Package)

一時期、CSP(Chip Size Package)が話題になり、従来のワイヤボンドで端子接続したのとは異なり、チップの電極端子にボールを作成して基板に接続しますから、チップの大きさがパッケージの大きさとなり、プリント基板の面積が小さくなって小型機器には有効なパッケージングで現在も使われています。ただ、チップの端子数が数百個にもなると、チップサイズでは電極バンプ間のスペースが狭くなってしまい、多端子に対応できません。そこで、チップの外側に端子を設けるようにしたのがFO-WLPです。CSPはFO-WLPに対してFI-WLP(Fan in Wafer Level Package)と呼ばれます。第36図にFOとFIの関係を示します。

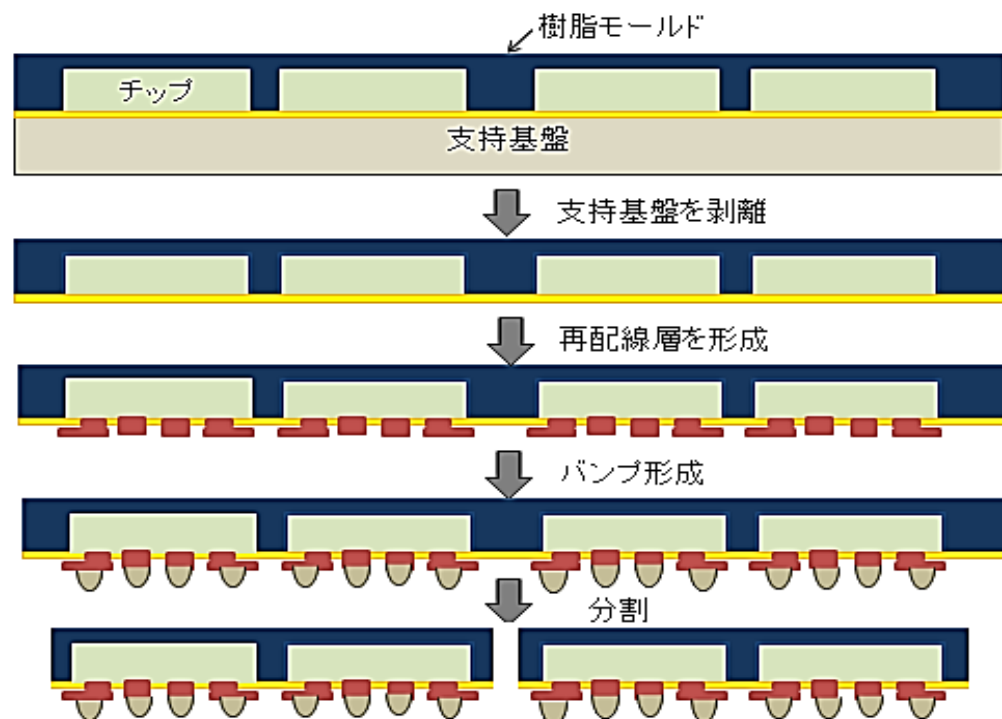
FO-WLPのプロセスは少々複雑で、第37図のように、配線されている300mm径のウエファー上にチップを規則正しく並べ、バンプで端子を接続し、樹脂モールドで固定してから、ウエファーをダイシングする方法です。基板となるのは300mmシリコンウエファーである必要はなく、400mm×500mm程度のPCBやガラス基板でも良い訳です。勿論、そこにRDL(Redistribution Layer; 再配線層)をパターンニングする必要がありますから、平面度は重要ですし、熱膨張係数がシリコンと大きく異なったり、反ったりする基板は使えません。チップは1個と限らず複数個を並べることも可能で、チップ間の配線の長さも短くできますので高速動作が可能で、パッケージもかなり小さくでき、既にスマートフォンなどに多用されています。FO-WLPの製法は色々あるようですが、代表的な例を第38図にあげておきます。

FO-WLP技術によって、半導体チップをセンサー、アクチュエーター、レンズなどの部品と直接接続できます。これらの部品は、それぞれシステムに搭載されていますが、現状では十分に小型化されていません。FO-WLPが進化すると、色々な使われ方が期待されます。チップを積層することも可能ですから、多チップを1パッケージに入れて、ムーアの法則を加速することも考えられます。





第37図 FO-WLPの断面図とウエファーの配列と切り出す様子



第38図 FO-WLPの2種類のプロセス

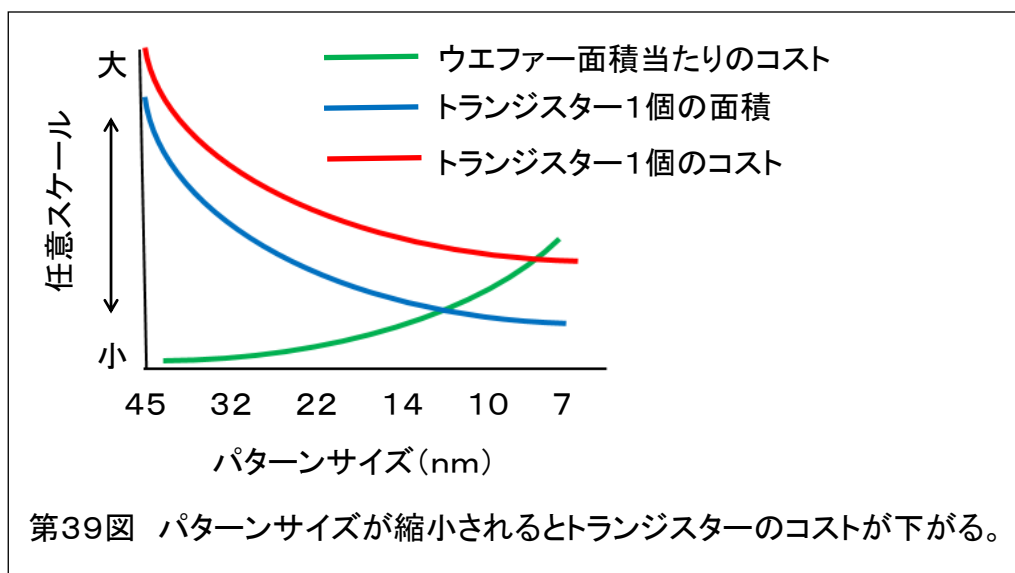
5. ムーアの法則の将来

5-1. パターン微細化の限界

ムーアの法則は、CMOSLSIのパターン微細化によって推進されてきました。現在、3nmノードのCMOSLSIの開発を始めると言う情報があり、この場合は最小パターンが6nm程度だと思われます。この程度のサイズなら、EUVのNA(レンズ系の開口数)が0.7程度に向上し、Double PatterningまたはTriple Patterningを用いれば達成可能と思われ、更に波長6.5nmのEUVの開発が成功すれば5nm以下のパターンも実現できそうです。パターンサイズだけを言えば、ナノインプリントで1nmのパターンを実現したと言う情報を聞いたことがあります、実際のデバイス作成は無理でしょうが、可能性だけ言えばあり得るわけです。

結論として筆者の考えでは、パターンサイズとしては、3~5nm(即ち2nmノード)を描くことはできる可能性があると思いますが、Line Edge Roughnessは0.3nmとか、Alignment精度が0.5nmとかが、原子の大きさに迫る値になります。

なお、現在生産に使われる予定のEUV露光機は、光源の大きさだけで11m×5mと聞いています。大量産ではこれを数十台ほど並べることになりますから、露光機だけでクリーンルームの広さが数千平米となり、装置代も数千億円となり、消費電力も非常に大きいと言われています。従って、技術的に微細化ができると言っても、投資額に見合ったデバイスをどの程度生産するのか、経済性を考慮することが重要となります。微細化は、コスト的に行き詰まるという議論があります。確かにウエファーのコストは天井知らずに上昇すると思われませんが、トランジスターの面積が縮小されて一定のウエファー面積からの取れ数も増えますから、トランジスター1個当たりのコストは下がる可能性があります。この関係を第39図に表しました。



5-2. 対策はあるか、ダークシリコン

LSI が微細化されると、1チップに載せるトランジスタの数は増加しますが、1個1個のトランジスタの消費電力は減少し、チップ当たりの消費電力はトランジスタ数×トランジスタ1個の消費電力＝一定、であると言うのが、デナードが提案した微細化の指導原理となった比例縮小則でした。

ところが今や電源電圧が1V以下になり、この先0.5V、0.2Vと下げるのは困難になって、消費電力が大きくチップの発熱が大きくなって、LSI 設計ができないと言う事態になりました。これをダークシリコン(Dark Silicon)と呼んでいます。

数年前の学会で、チップ温度の将来を予測し、太陽の表面温度になると言うレポートが出て大笑いになりました。Bright Silicon ですネ。

ではダークシリコンの対策はあるのでしょうか？

これで完全に解決できますと言うレポートは見たことがありません。愚考しますと、

- ① 発熱の均一化。一ヶ所だけ発熱すると問題なので分散させる設計。
- ② Power Gating などの、回路上の工夫で消費電力を減らす。
- ③ 動作周波数を下げて、消費電力を減らす。某社の話では14nmより10nmのLSIの方が周波数は低くなる可能性があるそうです。
回路としての高速化には、マルチコア化で対処する。

- ④ デバイス周りのCR時定数を下げる。

FDSOI(Fully Depleted Silicon on Insulator)は、バルクSiに比べてかなり省電力になります。

- ⑤ トンネル FET の採用。SS(Subthreshold Swing)電圧が減少するので消費電力が下がります。化合物半導体の TFET などとも検討されています。
- ⑥ 水冷による冷却。放熱板を水冷するのは当たり前ですが、チップそのものを水冷する案もあるようです。(特にスーパーコンピュータなど)
- ⑦ チップを10μ m程度に薄くして、裏面にカーボン系の熱伝導が極端に優れた放熱材を貼り付ける。因みにグラフェンの熱伝導度は、 $5 \times 10^3 \text{ Wm}^{-1} \text{ K}^{-1}$ 程度と測定されており、カーボンナノチューブやダイヤモンドの測定値を上回っています。

などは如何。⑦は私がかってに考えた案で、レポートとして見たことはありません。

いずれにせよ、ダークシリコン対策の決定打は無さそうなので、色々工夫して対処する必要があります。ムーアの法則を阻害する一つの要因ではあります。

5-3. どんなデバイスが有望か？

ムーアの法則は集積度について述べたものです。従って、集積度だけについて考えるなら、3次元的に積んだ3D-NANDフラッシュメモリーが最も有望でしょう。第4表は、2015年のITRSで世界中の識者が議論して決めた指標です。しかし、2022年にやっと1Terabitと記されており、既に大きな見込み違いをしています。この表よりはるかに早く集積度が向上するものと思われます。また、NANDフラッシュメモリーでは、記

憶される電子の数は多くても20個程度と言われて極めて微量です。しかし、20個なのか10個なのかを区別できれば、1ビットが2ビットに増やせます。現在は、3ビットを読み出すまでになっており、ストアされている電荷量を精密に読み出す技術が発展しています。この先は4ビットも話題になっています。Tri LevelとかQuad Levelとか称されています。第4表の2030年は、Tri Levelとして計算されていますが、Quad Levelも間もなく生産が始まるようです。

MOSLSIのデバイス上の問題としては、RDF(Random Dopant Fluctuation)があります。これは、微細化に伴いチャンネル部分の体積が減少しますから、不純物濃度が数個と言うような極端な数になり、ドナーやアクセプターが5個と6個では濃度が20%も異なってしまいます。その他にRTN(Random Telegraph Noise)が問題で、絶縁膜やシリコンとの界面の欠陥に電子や正孔がトラップされるのが原因と言われ、電流値が微小になるとRTNの割合が大きくなり、信頼性にも影響すると言われています。かなり本質的な欠陥ですから、無くすことは困難で、設計上の配慮で解決を図るしか無いようです。微細化のところで述べた LER と共に、これまで問題とならなかった微少な特性のゆらぎが、微細デバイスでは致命的な欠陥になりますから、設計や製造上の細心の配慮が要求されます。

年	2015	2016	2020	2022	2024	2028	2030
積層数	32	32-48	64-96	96-128	128-192	256-384	384-512
Density	256G	384G	768G	1T	1.5T	3T	4T

第4表 ITRS2015による3D-NANDフラッシュメモリーの動向。

Arrayの1/2ピッチは80nmで2030年まで不変としています。

1セルの多ビット化は、3ビット/セルでこれも2030年まで不変。

表では、1Terabitの実現が2022年となっていますが、すでに来年には実現するはずで、予想は大幅に狂っています。

5-4. リソグラフィに頼らず集積度を上げる

パターンサイズに依らず集積度を上げるには、多チップ化が簡単です。チップを3次元的に積層するには薄くして積むのが必要で、50 μ m程度の薄さがよく用いられているようですが、開発的には25 μ mも実現しています。チップに歪や欠陥が入らないように穏やかに薄くする技術を開発すれば、更に薄くすることも可能でしょう。既存のメモリーの集積度を上げるのは、データセンターなどのデータストレージ用に切望されていますから、更に進むものと思われます。

最近、IMECから微細化は14 Å (オングストローム)まで行くと発表されて話題になっています。果たしてリソグラフィ技術でそこまで行くのか、現在は知られていない全く新

規な技術革新が起って実現するのか。これまでの半導体の歴史は、「これで打ち止め」と言ってから、それを打ち破る歴史が続いてきましたから、可能性があるのでしょう。最近、聞いた技術では、1nm幅のCNT(Carbon Nano Tube)をMOSのゲートに用いた例があり、実際に1nmのMOSが作られたそうです。

グラフェンや CNT も、移動度が高い優れた半導体の材料です。いずれロードマップに登場してくる可能性がありますますが、今回は議論しないことにします。

デバイスが出来ても商品ができるか？ トランジスターのサイズが縮小し、ナノチューブや異種材料のトランジスターが登場し、これを1兆個も用いた商品进行設計するとなると、複雑性が劇的に増大して、最早人が設計に介在することは不可能になり、全て自動化、マシンラーニング(機械学習)が活躍する分野になるかも知れません。半導体業界は、そのような大変革に対して対応を誤らないように、今から十分準備しておく必要があるでしょう。

5-5. 産業として考えてみますと、

1工場/1兆円と言う投資になると考えられ、更に開発費も年間数千億円にもなると、誰が対応できるだろうか？ 衆目の見るところ、インテル、サムスン、TSMCの3社以外にはあり得ないでしょう。また、半導体メーカー間の兆円単位の歴史的な統合・買収が進んでいますので、新しい動きが生じるかも知れません。安定したプレーヤー企業が3~4社ほど存在すれば、良い競合関係が生まれ業界全体として進歩する可能性があります。日本の半導体メーカーの出番はあるのでしょうか？ アーム社を巨費で買収した孫正義氏のような大胆な実業家に期待しましょう。或いは、装置・材料では大きな貢献をすることは可能でしょう。

半導体業界を取り巻く環境としては、AI(人工知能)、IoTを初め、自動運転、ロボット、バイオ・メディカル、社会インフラなど有望な市場が幾らでもあります。これらの市場には最先端の半導体が求められています。ここ10~20年間は、半導体業界の「我が世の春」になるはずでず。ムーアの法則の集積度向上がどの程度の%で進むかは、大した問題ではなく、エレクトロニクスの技術革新に寄与する半導体があれば良いと思います。技術の進歩で、LSIの何が良くなるのか？ 集積度だけが半導体の進歩でしょうか？ そうではありませんね。優れた機能を持った素子が作られれば、新しい優れた商品が社会に供給されます。

世界はいずれ100億人の人口を抱えると言われ、都市の人口が爆発的に増えると予測されています。その時、人類は幸せな生活をおくれるでしょうか？ 環境問題、食料問題、社会インフラなど、解決すべき問題が山積しているでしょう。この解決には半導体技術が貢献する必要があります。ムーアの法則に代わる、「〇〇〇の法則」が必要になるでしょう。

6. Appendix “More than Moore”

‘More Moore’ が、これまでの微細化によるLSIの集積度向上を更に続けるというのに対して、‘More than Moore’ は、別の角度からの技術進歩を期待したもの。More than Moore とは何か、例えば次のようなものでしょう。

- ① 集積度は向上しないが、特異な性能をもつデバイス
- ② Si以外の異種材料を用いた新機能をもったデバイス
- ③ MEMSやナノテクなどの新技術を用いたセンサーなど
- ④ Beyond CMOSデバイス

ムーア博士
More than Moore
などと、あなたより偉そうなことを言ってますよ



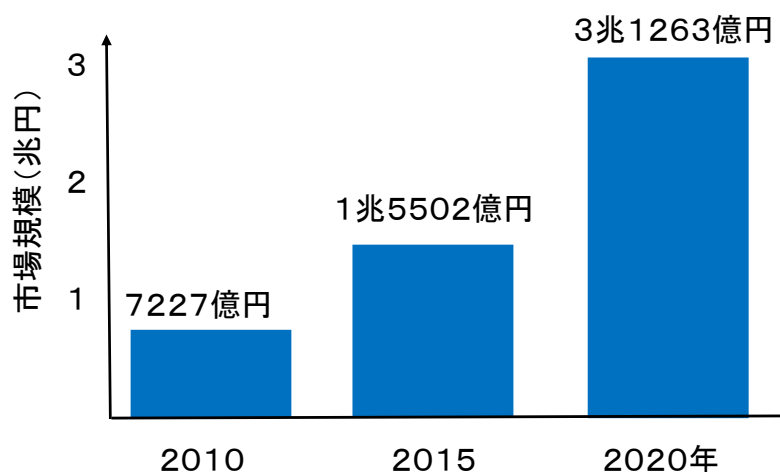
わしを追い越して
技術が進歩するの
は結構なことじゃ



第40図 “More than Moore”とは失礼な！

Appendix-1, 伸びるMEMS／センサー市場

数年前から、IoT(Internet of Things)の普及によりセンサーの需要が爆発的に増加し、「トリリオン・センサー」(即ち1兆個のセンサー)が提唱され、売上は当分の間は5年で2倍と好調です。MEMS(Micro Electro Mechanical Systems)とセンサーは別物ですが、センサーを生産するプロセスとしてMEMSが用いられることが多い。センサーとして、従来は加速度センサー、圧力センサー、温度センサーなどが中心でしたが、今後はガスセンサー、超音波センサー、流体センサー、匂いセンサーなど色々なセンサーが実用化されると思われます。

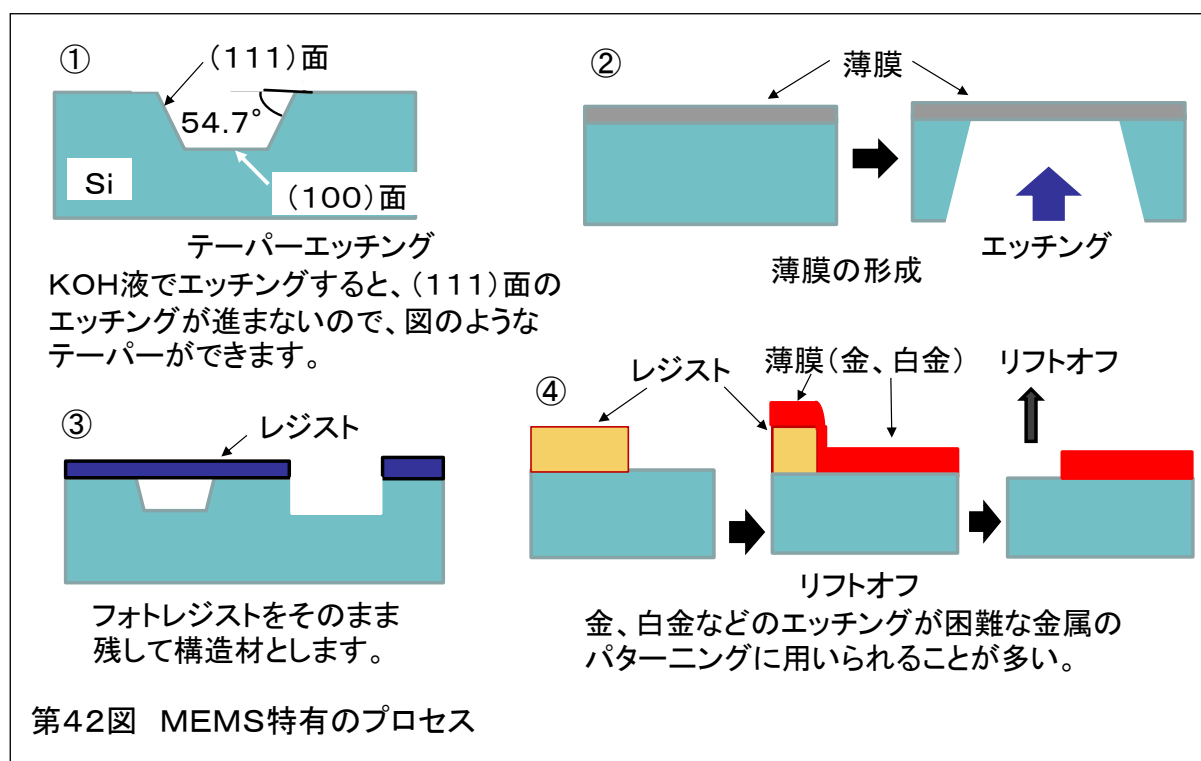


第41図 MEMS・センサーの市場予測

Appendix-2. MEMSの主な独特の製造プロセス

MEMSの製造には、半導体のプロセス(リソグラフィ、膜付け、エッチングなど)が、用いられます。MEMS特有なプロセスとしては、第42図のような方法があります。

MEMS技術は、センサーの製作以外にも色々な用途があります。例えば、石英などの基板に、ミクロン単位の微少な溝をエッチングし、薬品などを流して化学反応を行うのを μ -TAS(Micro-Total Analysis System)と呼んでおり、極めて微量な血液やその他の流体の検査に用いることができ、医学の実験など役立っています。 μ -TASの製作プロセスは、LSIのフォトリソグラフィとエッチングが利用されています。



Appendix-3. 後ずさりもあるムーアの法則

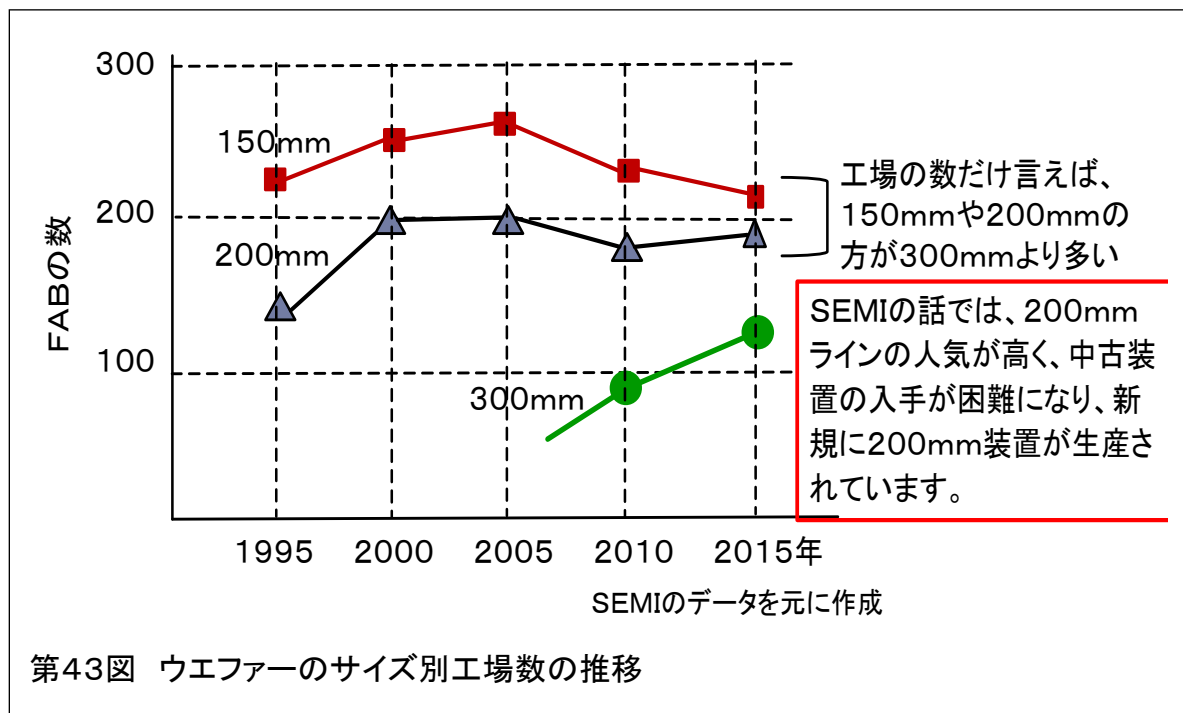
話題は飛んで、最先端から一転して、古い生産ライン(150mm、200mm ウエファールのライン)に人気が出てきました。

最先端LSIは、全て300mm径のウエファァで生産されていますが、10~20年前に建設された150mmや200mm径のFabも健在です。ナノメーターではなく、パターンサイズが100倍も大きいミクロンのパターンであり、パワートランジスタやMEMSの生産に適しています。ICの生産にも用いられ、長年の蓄積がありますので、歩留まり品質ともに極めて安定した生産が行われます。

最近、ビジネスが発展しているIoTは、膨大な数のセンサーからの信号を処理するものですが、その信号は一般にアナログであり、ADC、DACでもアナログ信号を扱います。これらのデザインルールは最先端でなくても良い場合があり、安価で性能が安定

した200mmウェファーを用いるのが適しています。そのため、中古装置に人気が集
 中し、装置メーカーも200mmの装置の生産を再開したそうです。また、200mmウ
 エファーと言えども微細加工が出来ない訳ではなく、かなりの最先端LSIを200mm
 で行う案もあるそうです。

中国製デジタル機器に使われているICの調査結果を聞くと、かなり中国製が増えて
 おり、CPUやGPUは古いARM製。採用されるプロセスも最先端の14nm／16nm
 から見れば古い65nmプロセス。では、65nmは最先端ではないから使えないのだろ
 うか？「むしろ逆である」。多くの製品に適用されたことで技術がこなれ、減価償却が
 進んだので、65nmプロセスで生産されるデバイスは、コストは安く、性能はバラツキ
 少なく、供給も安定しているそうです。「逆ムーアの法則」も大いに気を吐いているよう
 です。



Appendix-4. 人工知能とムーアの法則

AI(人工知能)が、ディープラーニングを用いて将棋や囲碁の名人を打ち破ったことが大きな話題となりました。高段者が過去に打った膨大な数の局面を記憶しておき、その局面になると勝率の高かった手を選ぶそうです。また、その局面が過去の大局に無かった場合は、コンピューターの中にA君とB君を設定して膨大な数の大局をさせて、勝率の高い手を調べるそうです。このようなディープラーニングには、産業界の色々な用途に使われだしていますが、膨大なメモリーが必要ですから、IoTの普及などにも応用されてメモリーの需要は増える一方と思われます。ムーアの法則を続ける必要があります。

脱線 株式市場が無くなる？

将棋や囲碁では、コンピューター的能力が人を上回っています。では、株の動向を予測させたらどうなるでしょうか？ 株価に影響する因子は山ほどあります。該当企業の状況とは無関係に、為替相場、政治情勢、気候変動、突発事故など、株を売買する人はこれらを一応勘定に入れて決断しているのでしょうか。しかし、因子が多いのはコンピューターの得意とするところで、いずれ正確な予測ができるようになると思われます。株が下がるとAIが予測しているのに買う人がいるのでしょうか？ 株が上がるとAIが言っているのに売る人がいるのでしょうか？ 筆者はいずれ株式市場が閉鎖されるだろうと思っています。LSIが進歩すると、困ったことも起こりますネ。

一方、人の脳の研究も進んでいます。脳の中のニューロンでどんな情報処理が行われているのか、まだ部分的にしか解明されていませんが、それを元にニューラル・ネットワークが開発され、実用的にも活躍し出しています。この分野の回路は、ムーアの法則のように集積度が上がれば良いと言うわけではなく、生物学的なモデルを元に、「新たなムーアの法則」を見つける必要がありそうです。

人は100メートル先の人影を見て、友人かどうか判断できます。野球の試合で、打者が打った球を見て、野手は落下地点を瞬時に予測して全力で疾走してキャッチします。「静かさや 岩に染入る せみの声」と聞いて、情景を思い浮かべて感動します。人間が感動する小説、詩、絵画、音楽など、コンピューターにできるでしょうか？ それに近づくことはできるかも知れません。半導体LSIは、ムーアの法則が指導原理となって進歩したように、AIの進歩にも指導原理が必要かも知れません。10年後、20年後のエレクトロニクスを楽しみにしています。

完

以上、お付き合い有難うございました。
拙文が少しでもお役に立つことを願っています。